

3100096007911

PERENCANAAN DAN PEMBUATAN
ALAT PENGHITUNG PULSA TELEPON DIGITAL
OTOMATIS DENGAN MIKROKONTROLLER 8031
YANG DIHUBUNGKAN PADA IBM - PC

TUGAS AKHIR

PERPUSTAKAAN I T S	
Tgl. Terima	20 SEP 1994
Terima Dari	H
No. Agenda Prp.	2663

RSE
621.3916
Man
P-1
1994



Oleh :



MILIK PERPUSTAKAAN
INSTITUT TEKNOLOGI
SEPULUH - NOPEMBER

GAFRELLY MANSUR

NRP : 290 220 1609

**JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI SEPULUH NOPEMBER
SURABAYA**

1994

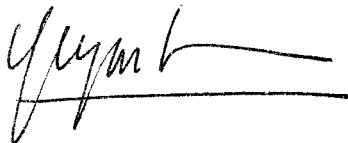
PERENCANAAN DAN PEMBUATAN
ALAT PENGHITUNG PULSA TELEPON DIGITAL
OTOMATIS DENGAN MIKROKONTROLLER 8031
YANG DIHUBUNGKAN PADA IBM - PC

TUGAS AKHIR

**Diajukan Guna Memenuhi Sebagian Persyaratan
Untuk Memperoleh Gelar
Sarjana Teknik Elektro
Pada
Bidang Studi Teknik Komputer
Jurusan Teknik Elektro
Fakultas Teknologi Industri
Institut Teknologi Sepuluh Nopember
SURABAYA**

Mengetahui / Menyetujui

Dosen Pembimbing I



(Ir. Yoyon K. Suprpto, M.Sc.)

Nip. 130 687 439

Dosen Pembimbing II



(Ir. Hanny B. Nugroho)

Nip. 131 651 483

**SURABAYA
AGUSTUS, 1994**

ABSTRAK

Banyaknya tunggakan pembayaran rekening telepon di beberapa instansi, perusahaan atau di rumah disebabkan pemakain yang tidak terkontrol pada fasilitas pesawat telepon. Untuk itu dirasakan perlunya suatu alat monitoring pulsa telepon yang informatif, praktis serta dapat sewaktu-waktu dikomunikasikan pada IBM PC untuk pengolahan data lebih lanjut. Alat tersebut dipasang paralel pada saluran pesawat telepon tersebut.

Mikrokontroler 8031 digunakan sebagai pusat pengolahan akan mendeteksi empat saluran telepon yang mempunyai fasilitas *Pay station* serta menampilkannya pada LCD dan mampu menyimpan informasi (nomor tujuan, tanggal, waktu, jumlah pulsa dan indikator nomor saluran yang digunakan) sebanyak 3000 *call*.

PRAKATA

Atas berkat Rahmat Allah S.W.T, maka penulis dapat menyelesaikan Tugas Akhir yang berjudul :

**PERENCANAAN DAN PEMBUATAN ALAT PENGHITUNG PULSA
TELEPON DIGITAL OTOMATIS DENGAN MIKROKONTROLER 8031
YANG DIHUBUNGKAN PADA IBM-PC.**

Tugas akhir ini merupakan salah satu syarat yang harus ditempuh untuk meraih gelar kesarjanaan di Jurusan Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sepuluh Nopember Surabaya.

Dalam mengerjakan Tugas Akhir ini penulis banyak mendapat bantuan dan bimbingan dari berbagai pihak. Pada kesempatan ini penulis menyampaikan ucapan terima kasih kepada :

- Bapak Ir. Yoyon Kusnendar Suprpto, M.Sc selaku Dosen Pembimbing dan Koordinator Bidang Studi Komputer, Jurusan Teknik Elektro, Fakultas Teknologi ITS, atas segala bimbingan, nasihat dan petunjuk mulai dari pembuatan usulan sampai selesainya pembuatan Tugas Akhir ini.
- Bapak Ir. Hanny Budhi Nugroho, selaku Dosen Pembimbing yang telah memberikan bimbingan dan pengarahan serta saran yang positif sehingga penulis dapat menyelesaikan Tugas Akhir ini.
- Bapak DR. Ir. Moch. Salehudin, M.Eng.Sc., Selaku Ketua Jurusan Teknik Elektro, FTI ITS. Atas segala kebijaksanaan demi perkembangan Jurusan Teknik Elektro, FTI ITS.

- Bapak-bapak dan rekan-rekan di Pengembangan Terminal PT.INTI (Persero) Bandung yang telah memberikan perhatian dan pinjaman fasilitas alat dan buku-buku yang sangat diperlukan pada Tugas Akhir ini.
- Rekan-rekan mahasiswa Teknik Elektro ITS, khususnya Bidang Studi Komputer Laboratorium B201 yang telah memberikan perhatian dan pinjaman fasilitas alat ukur.

Akhir kata, penulis berharap semoga segala sesuatu yang telah dihasilkan dalam pelaksanaan Tugas Akhir ini dapat bermanfaat bagi kemajuan ilmu pengetahuan dan kesejahteraan umat manusia.

Surabaya, Juli 1994

Penulis

Gafrelly Mansur

DAFTAR ISI

	Hal
ABSTRAK	i
PRAKATA	ii
DAFTAR ISI	iv
DAFTAR GAMBAR	vii
DAFTAR TABEL	ix
 BAB I PENDAHULUAN	 1
1.1 LATAR BELAKANG	1
1.2 TUJUAN	2
1.3 PEMBATAAN MASALAH	2
1.4 METODOLOGI	3
1.5 SISTEMATIKA	4
 BAB II TEORI PENUNJANG	 5
2.1 SISTEM TELEKOMUNIKASI	5
2.1.1 Sistem Telepon	5
2.1.2 Nada-nada dari Sentral Telepon	7
2.2 MIKROKONTROLER 8031	9
2.2.1 Arsitektur dan Organisasi 8031	10
2.2.2 Fungsi Pin-Pin 8031	11
2.2.3 Perangkat Keras CPU	14
2.2.4 Aritmetik Logic Unit	18
2.2.5 Rangkaian Osilator	20
2.2.6 Pewaktuan CPU	20
2.2.7 Memori	22

a. Organisasi Memori	22
b. Mode-Mode Pengalamatan	27
2.2.8 Operasi Input/Output	28
2.2.9 Mengakses Memori Eksternal	30
2.2.10 Sistem Interrupt	32
2.2.11 Pewaktu/Pencacah (Timer/Counter)...	37
2.2.12 Port Serial	41
a. Baud Rate	42
b. SCON	42
c. SBUF	44
d. PSW	45
2.3 KOMUNIKASI DATA	46
BAB III PERENCANAAN DAN PEMBUATAN PERANGKAT KERAS	50
3.1 BLOK DIAGRAM	50
3.2 RANGKAIAN MIKROKONTROLER 8031	54
3.3 RANGKAIAN DEKODER	54
3.4 RANGKAIAN MEMORI PROGRAM DAN DATA	56
3.5 RANGKAIAN SERIAL INTERFACE RS-232C	57
3.6 RANGKAIAN DETEKTOR TELEPON.....	59
3.8.1 Rangkaian Interface Telepon	59
3.8.2 Rangkaian Detektor Handset	60
3.8.3 Rangkaian Detektor DTMF	61
3.8.4 Rangkaian Detektor Pulsa 16KHz ...	62
3.8.5 Rangkaian Counter	64
3.8.6 Rangkaian Buffer Latch	64
3.7 RANGKAIAN LCD	65
3.8 RANGKAIAN REAL TIME CLOCK	68

BAB IV PERENCANAAN DAN PEMBUATAN PERANGKAT LUNAK	70
4.1 PROGRAM PADA MINIMUM SISTEM 8031	70
4.1 Inisialisasi	70
4.2 Program Aplikasi	73
4.2 PROGRAM PADA IBM PC	76
 BAB V UJI COBA ALAT	 79
 BAB VI PENUTUP	 82
 DAFTAR PUSTAKA	 84
 LAMPIRAN A : PETUNJUK PEMAKAIAN ALAT/PROGRAM	 85
LAMPIRAN B : CONTOH FORMAT MENU DAN LAPORAN	90
LAMPIRAN C : LAMPIRAN GAMBAR RANGKAIAN DAN PCB	95
LAMPIRAN D : ESTIMASI BIAYA	100
LAMPIRAN E : LEMBARAN DATA	101
LAMPIRAN F : USULAN TUGAS AKHIR	134

DAFTAR GAMBAR

2.1	KODE FREKUENSI SINYAL DTMF.....	6
2.2	KONFIGURASI PIN-PIN 8031	13
2.3	DIAGRAM BLOK FUNGSI 8031	14
2.4	ORGANISASI MEMORI 8031	22
2.5	RUANG ALAMAT MEMORI DATA INTERNAL	24
2.6	ALAMAT-ALAMAT BIT RAM INTERNAL	25
2.7	ALAMAT-ALAMAT REGISTER FUNGSI KHUSUS	26
2.8	STRUKTUR PORT 0,1,2 DAN 3	29
2.9	SIKLUS WAKTU PEMBACAAN MEMORI PROGRAM	32
2.10	SIKLUS WAKTU PEMBACAAN MEMORI DATA	33
2.11	SIKLUS WAKTU PENULISAN MEMORI DATA	33
2.12	REGISTER INTERRUPT ENABLE	34
2.13	REGISTER INTERRUPT PRIORITY.....	34
2.14	REGISTER TIMER/COUNTER CONTROL/STATUS (TCON)	37
2.15	MODE TIMER / COUNTER.....	40
2.16	REGISTER TIMER/COUNTER MODE (TMOD)	39
2.17	REGISTER SCON	43
2.18	REGISTER PSW	46
2.19	TRANSMISI ASINKRON.....	47
3.1	BLOK DIAGRAM ALAT PENGHITUNG PULSA TELEPON	51
3.2	RANGKAIAN MIKROKONTROLER 8031	55
3.3	RANGKAIAN DEKODER MINIMUM SISTEM 8031	56
3.4	RANGKAIAN MEMORI PROGRAM DAN MEMORI DATA	57
3.5	PERBANDINGAN SPESIFIKASI LEVEL RS-232C DENGAN TTL ..	58
3.6	RANGKAIAN PENGUBAH LEVEL	58

3.7	BLOK DIAGRAM PERANGKAT DETEKTOR TELEPON	59
3.8	RANGKAIAN INTERFACE TELEPON	60
3.9	RANGKAIAN DETEKTOR HANDSET	60
3.10	RANGKAIAN DETEKTOR DTMF	62
3.11	RANGKAIAN DETEKTOR PULSA	63
3.12	RANGKAIAN COUNTER	64
3.13	RANGKAIAN BUFFER LATCH	64
3.14	BLOK DIAGRAM DARI LCD	65
3.15	TIME DIAGRAM DARI OPERASI READ DAN WRITE	67
3.16	RANGKAIAN REAL TIME CLOCK	68
4.1	FLOWCHART ALAT PENGHITUNG PULSA TELEPON	71
4.2	FLOWCHART INISIALISASI LCD	72
4.3	SUBFLOWCHART DETEKSI MODUL(X)	74
4.4	SUBFLOWCHART PROSES MENU	75
4.5	FLOWCHART PROGRAM IBM PC	77
4.6	SUBFLOWCHART PROSES BACA DATA SERIAL	78
5.1	PENGUKURAN <i>SINYAL PAY STATION</i>	81
A.1	PANEL BELAKANG DAN DEPAN ALAT	85



MILIK PERPUSTAKAAN
INSTITUT TEKNOLOGI
SEPULUH - NOPEMBER

DAFTAR TABEL

2.1	REGISTER-REGISTER FUNGSI KHUSUS	28
2.2	ALAMAT AWAL PROGRAM PELAYANAN INTERRUPT	35
2.3	NAMA DAN ARTI IE -INTERRUPT ENABLE REGISTER	35
2.4	NAMA DAN ARTI INTERRUPT PRIORITY REGISTER	36
2.5	NAMA DAN ARTI REGISTER TCON	38
2.6	PEMILIHAN MODE OPERASI BIT SERIAL	44
3.1	INFORMASI DARI DETEKTOR TELEPON	52
3.2	MAPPING ADDRESS MINIMUM SISTEM 8031	55
3.3	TABEL KEBENARAN DARI IC LR4102	61
3.4	I/O TERMINAL MODUL LCD	66
3.5	DASAR OPERASI MODUL LCD	67

BAB I

PENDAHULUAN

1.1 LATAR BELAKANG

Semakin majunya perkembangan teknologi Telekomunikasi dewasa ini membuat jarak yang dahulunya jauh terasa semakin dekat. Dengan teknologi ini dalam beberapa detik, seseorang dapat berkomunikasi dengan orang lain yang jaraknya sangat jauh. Dan ini akan menghemat biaya tranfortasi, waktu dan lain-lain.

Tetapi dalam mengelola dan memperluas jaringan Telekomunikasi ini dibutuhkan dana yang sangat besar. PT.TELKOM sebagai pihak pengelola Telekomunikasi di Indonesia menetapkan tarif pemakaian telepon berdasarkan lama, waktu dan jarak. Salah satu bentuk tarif adalah sistem pulsa. Pada sentral telepon digital otomatis, sistem pulsa ini diatur pada sistem *data base* untuk setiap pelanggan yang bersangkutan.

Dengan sistem pulsa ini pihak pengelola (PT.TELKOM) tinggal mencetak rekening dan menunggu pihak pelanggan membayar pada loket-loket yang disediakan. Tetapi dari pihak pelanggan baik di kantor-kantor, hotel-hotel, dan pelanggan lain sangat terkejut akan tagihan akan rekening yang sangat besar karena pemakainnya tidak termonitor pada terminal (pesawat telepon).

Dari permasalahan itu direncanakan pembuatan suatu alat

yang dapat memonitor pemakaian pulsa telepon yang informatif, praktis, dan mampu mendeteksi empat saluran telepon dan dapat di komunikasikan pada IBM PC untuk pengolahan data lebih lanjut.

1.2 TUJUAN

Dengan peralatan ini pihak pelanggan dapat memonitor secara langsung pemakain telepon sehingga sarana telepon ini dapat digunakan seperlunya. Selain dari tujuan diatas alat ini juga dapat digunakan untuk sarana umum pada suatu Hotel/Penginapan atau rumah sakit yang pembayarannya dilakukan secara periode. Misalnya seorang tamu Hotel yang diberi fasilitas telepon langsung pada kamarnya. Pihak administrasi cukup menagih saat dia *check out*, dengan memanfaatkan komputer yang ada, kemudian mengambil data dari alat ini secara serial dan memilih saluran yang digunakan tamu dan memasukkan periode (*check in* dan *check out*) akan didapatkan laporan biaya pemakaian telepon.

1.3 PEMBATAKAN MASALAH

Dalam pengoperasian alat ini ada beberapa hal yang harus diperhatikan, sebelum alat ini digunakan yaitu :

- Saluran telepon harus punya fasilitas *pay station* yaitu sinyal pulsa 16 KHz.
- Sistem telepon harus menggunakan sistem *tone* (frekuensi).
- Menggunakan sentral telepon digital otomatis.
- Selain memonitor pulsa telepon secara terus menerus alat

ini juga mempunyai fasilitas Menu untuk pengesetan RTC, informasi total pulsa dan *call* serta transfer data ke IBM PC. Pada operasi Menu ini, proses monitoring pulsa terhenti (tidak bekerja).

1.4 METODOLOGI

Langkah awal adalah studi literatur untuk mempelajari sistem telepon, rangkaian detektornya dan arsitektur dari mikrokontroler 8031. Selanjutnya mempelajari sinyal-sinyal komunikasi antara komputer dengan suatu peripheral lewat port serial RS-232C.

Perencanaan dilakukan dengan pendekatan secara *hardware* maupun *software* untuk mendapatkan hasil yang optimum. Secara *hardware* dengan mempelajari IC mikrokontroler 8031 dan komponen pendukungnya, Real Time Clock, LCD. Secara *software* mempelajari fasilitas *software* mikrokontroler dan kemampuannya dalam menjalankan *hardware* dan kemampuan berkomunikasi dengan IBM PC secara serial. Dan *software* pada IBM PC untuk komunikasi dan pengolahan data.

Langkah selanjutnya adalah pembuatan alat yang berupa pembuatan perangkat keras dan pembuatan perangkat lunak. Setelah selesai pembuatan alat dilakukan uji coba alat dan kalibrasi pada detektor agar didapatkan ketepatan dalam mendeteksi.

Terakhir dilakukan penyusunan naskah tugas akhir yang sistematikanya akan diuraikan pada bagian dibawah ini.

1.5 SISTEMATIKA

Sistematika pembahasan pada tugas akhir ini dibagi dalam beberapa bab, yaitu :

- Bab 1 : Pendahuluan, bab ini membahas tentang latar belakang permasalahan, tujuan, metodologi, sistematika pembahasan.
- Bab 2 : Teori penunjang, bab ini membahas tentang dasar sistem telepon, arsitektur mikrokontroler 8031, RS-232C, perangkat lunak mikrokontroler 8031.
- Bab 3 : Perencanaan perangkat keras, bab ini membahas teknik perencanaan perangkat keras, meliputi perencanaan rangkaian detektor saluran telepon sistem tone, mikrokontroler 8031, rangkaian dekoder, memori data, memori program, rangkaian Real Time Clock, LCD, rangkaian pengubah level tegangan TTL dan RS-232C dan lain-lain.
- Bab 4 : Perencanaan perangkat lunak, bab ini membahas teknik pemrograman, baik pemrograman *low level* untuk menjalankan *hardware* pada minimum sistem 8031 maupun pemrograman *high level* untuk pengolahan data lebih lanjut pada IBM PC.
- Bab 5 : Uji coba alat, bab ini akan membahas tentang pengujian alat dan kalibrasi variabel resistor pada modul detektor dan komunikasi dengan IBM PC.
- Bab 6 : Penutup, bab ini berisi kesimpulan dari uji coba yang dilakukan.

BAB II

TEORI PENUNJANG

2.1 SISTEM TELEKOMUNIKASI

Secara garis besar sistem telekomunikasi dapat dibagi dalam tiga bagian yaitu terminal, sentral dan transmisi. Salah satu cara pihak pengelola jasa telekomunikasi dalam menetapkan tarif percakapan adalah sistem pulsa. Pada sistem pulsa ini saluran ke konsumen dibagi atas dua macam :

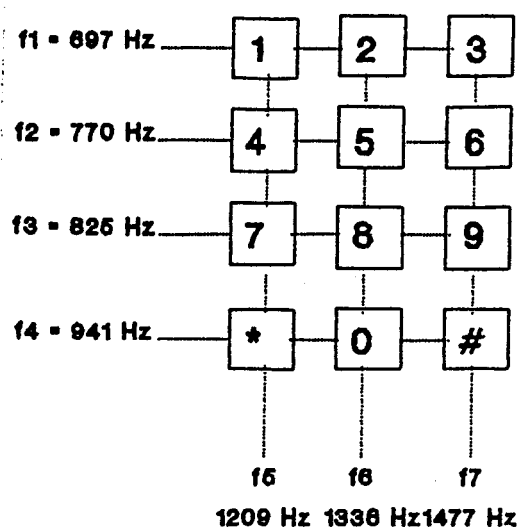
1. Saluran biasa, pada sentralnya menggunakan modul SLMA untuk satu modul tersebut terdapat delapan saluran telepon, pada saluran ini tidak terdapat sinyal pulsa telepon.
2. Saluran *pay station* pada sentralnya menggunakan modul MC16 pada modul tersebut terdapat empat atau enam saluran telepon, pada saluran ini terdapat sinyal pulsa, yaitu sentral mengirim frekuensi 16 KHz dalam selang 100 mili-detik untuk setiap pulsanya.

2.1.1 Sistem Telepon.

Sistem telepon pada sentral telepon otomatis dibagi atas sistem pulsa dan sistem frekuensi (tone). Saluran pada sentral telepon otomatis dapat menerima kedua sistem tersebut tanpa perubahan pada sistem sentralnya.

Pada pembahasan ini akan diuraikan tentang sistem telepon *tone*. Sistem telepon *tone* ini dalam melakukan hubungan dengan sentral menggunakan frekuensi-frekuensi.

Sistem signaling yang digunakan dalam telepon tone adalah dua frekuensi, yang merupakan kombinasi dari dua frekuensi yaitu frekuensi dari kelompok frekuensi rendah dan sebuah dari kelompok frekuensi tinggi. Frekuensi-frekuensi ini dibangkitkan dalam sistem telepon itu sendiri. Adapun lokasi dari frekuensi yang digunakan dapat dilihat pada gambar 2.1.



Gambar 2.1

Kode Frekuensi Sinyal DTMF

Kelompok frekuensi rendah terdiri dari frekuensi :
697 Hz, 770 Hz, 852 Hz dan 941 Hz.

Sedangkan untuk kelompok frekuensi tinggi adalah :
1209 Hz, 1336 Hz dan 1477 Hz.

Frekuensi-frekuensi ini diterima di sentral telepon lewat

rangkaian pemilih frekuensi, yang terdapat pada PSR (Push-botton Signaling Receiver) agar sentral dapat mendeteksi angka-angka yang dikirimkan. Maka waktu minimum penekanan subuah tombol ditetapkan 35 milidetik sedangkan IDP (Inter Digit Pause) minimum 50 milidetik

2.1.2 Nada-Nada Dari Sentral Telepon

Ada beberapa hal yang harus diketahui oleh langganan sebelum melakukan hubungan telepon ini. Ada tanda-tanda yang dikirim oleh sentral telepon. Tanda-tanda yang dikirimkan oleh sentral telepon ini berupa nada dengan frekuensi 425 Hz. Yang berfungsi memberitahu langganan tentang keadaan dari saluran telepon pada saat itu apakah masih ada saluran yang tidak terpakai (bebas) atau semua saluran sudah terpakai (sibuk). Disamping itu juga memberitahu tentang keadaan saluran yang dipanggil apakah terpakai atau tidak.

2.1.2.1 Nada Pilih (Dial Tone)

Nada pilih ini merupakan tanda dari sentral telepon kepada pemanggil bahwa pada saat itu telah diperbolehkan memilih nomor-nomor telepon yang akan dihubungi. Nada ini terdengar pada saat pemanggil mengangkat gagang telepon. Bila pada saat setelah gagang telepon diangkat tidak terdengar nada ini menandakan ada kesalahan pada sistem telekomunikasi.

2.1.2.2 Nada Sibuk (Busy Tone)

Nada ini akan terdengar sebagai tanda bahwa hubungan yang diinginkan oleh pemanggil tidak berhasil. Hal ini disebabkan antara lain oleh :

- Pesawat yang dihubungi sedang dipakai/rusak.
- Lalu lintas pembicaraan terlalu padat.

Dengan demikian diharapkan pemanggil untuk meletakkan kembali gagang teleponnya. Ciri dari nada ini adalah bergantian antara ada dan tidak yaitu 0.3 detik ada nada dan 0.3 detik berikutnya tidak ada nada, kemudian ada nada lagi dan untuk selanjutnya kejadian tersebut akan terus berulang.

2.1.2.3 Nada Panggil (Ringing Tone)

Nada panggil ini memberitahu kepada pemanggil bahwa hubungan yang diinginkan telah berhasil dan diharapkan kepada pemanggil untuk menunggu pengangkatan dari gagang telepon penerima. Nada ini akan terdengar secara terputus-putus dengan periode 5 detik, yaitu 1 detik ada nada dan 4 detik tidak ada nada.

2.1.2.4 Nada N.U dan Nada S.I

Nada N.U (*Number Unoptionalble tone*) ini seperti nada-nada yang lain yaitu dengan frekuensi 425 Hz dengan irama 2 detik berbunyi dan 0.5 detik mati. Sedang nada S.I (*Special Information tone*) akan berbunyi turalit-turalit. Baik nada N.U maupun nada S.I ini digunakan oleh sentral telepon untuk memberikan tanda bahwa nomor yang dihubungi sudah tidak

digunakan lagi atau sedang diisolir.

2.1.2.5 Nada Pulsa

Nada ini hanya terdapat pada saluran yang menggunakan fasilitas *pay station*. Nada ini tidak begitu terdengar karena dikirim dengan frekuensi 16 KHz dari sentral dalam selang waktu 100 milidetik untuk setiap pulsa yang dikirim. Nada ini mulai muncul saat pertama lawan bicara mengangkat gagang telepon (*handset*) dan diulang secara periodik untuk setiap penghitung pulsa pada sentral telepon.

2.2. MIKROKONTROLER 8031

Mikrokontroler 8031 adalah salah satu mikrokontroler dari keluarga MCS-51. Selain 8031, anggota keluarga MCS-51 lainnya adalah 8051 dan 8751. MCS-51 dikemas dalam kemasan standar DIL (*Dual In Line*) 40 pin dan masing-masing mempunyai konfigurasi pin, pewaktuan (*timing*) dan karakteristik listrik yang sama. Perbedaan utamanya adalah dalam hal memori program internalnya. Mikrokontroler 8751 mempunyai 4 kilo byte EPROM (*Erasable Programmable Read Only Memory*). Mikrokontroler 8051 mempunyai 4 kilo byte ROM (*Read Only Memory*) yang telah diisi program (sesuai dengan kehendak pemakai) pada waktu proses pembuatan IC tersebut dan program tersebut tidak bisa diubah-ubah / dihapus. Mikrokontroler 8031 tidak mempunyai memori program dalam, 8031 hanya menggunakan memori program eksternal.

MCS-51 dapat mengakses 64 kilo byte memori program eksternal dan 64 kilo byte memori data eksternal, mempunyai

32 jalur I/O dan sebuah *receive buffered, serial I/O* dua arah. Hal ini berarti MCS-51 dapat menerima byte yang kedua sebelum byte yang telah diterima sebelumnya dibaca dari *receive register* dan MCS-51 ini dapat mengirim dan menerima secara bersamaan.

Selanjutnya hanya akan dibahas tentang IC mikrokontroler 8031, karena IC ini yang digunakan dalam tugas akhir ini.

2.2.1. ARSITEKTUR DAN ORGANISASI 8031¹

Mikrokontroler 8031 terdiri dari sebuah *Central Processing Unit* (CPU), dua jenis memori yaitu memori data dan program, port input/output, dan register-register mode, status, dan data serta logika random yang diperlukan oleh berbagai fungsi periperal. Masing-masing bagian ini berhubungan satu dengan yang lain melalui data bus delapan bit. Bus ini dibuffer melalui port I/O bila diperlukan perluasan memori atau I/O.

CPU 8031 mempunyai empat ruang memori, yaitu 64 Kilo byte memori program, 64 kilo byte memori data eksternal, 384 byte memori data internal, dan 16 bit *program counter*. Alamat memori data internal selanjutnya dibagi dalam 256 byte RAM data internal dan 128 byte alamat register fungsi khusus (SFR). Empat Register Bank (masing-masing bank mempunyai delapan register), 128 bit yang dapat dialamati dan

1. Intel MCS-51 Family of Single Chip Mikrocomputer User's Manual, Santa Clara 1981 hal 2-1 s/d 2-2

stack yang terdapat dalam RAM data internal.

Banyaknya *stack* dibatasi oleh kemampuan RAM data internal. Lokasinya ditentukan lewat 8 bit *stack pointer*. Semua register kecuali *program counter* dan empat *register banks* berada dalam ruang alamat (*address space*) register fungsi khusus (SFR). Register lain yang termasuk dalam SFR adalah register arimatika, *pointers*, port I/O, dan register-register untuk *interrupt*, *timer* dan *serial channel*. Lokasi-lokasi 128 bit dalam alamat SFR dapat dialamati sebagai bit-bit. Secara keseluruhan 8031 mempunyai 128 byte RAM data internal dan 20 register fungsi khusus.

Instruksi-instruksi 8031 terdiri dari 49 buah *single-byte*, 45 buah *two-byte*, dan 17 buah *three-byte*. Bila menggunakan kristal 12 Mhz, 64 instruksi mempunyai waktu eksekusi 1 μ s dan 45 instruksi mempunyai waktu eksekusi 2 μ s, sedangkan 2 instruksi sisanya (perkalian dan pembagian) mempunyai waktu eksekusi 4 μ s.

2.2.2. FUNGSI PIN-PIN 8031

- V_{SS} : Pin ini dihubungkan dengan *ground* dari sumber tegangan rangkaian.
- V_{CC} : Pin ini dihubungkan dengan sumber tegangan 5 Volt.
- Port 0 : Port 0 adalah port I/O 8 bit dua arah dengan konfigurasi open drain. Port ini juga berfungsi sebagai multiplexer bagi alamat rendah (*low order address*) dan data bus jika menggunakan memori eksternal. Port ini digunakan untuk input/output data selama pemrograman dan

verifikasi. Port 0 dapat dibebani oleh dua buah TTL.

- Port 1 : Port 1 adalah port I/O 8 bit *quasi bidirectional*. Port 1 dapat dibebani oleh satu buah TTL.
- Port 2 : Port 2 adalah port I/O 8 bit *quasi bidirectional*, mengirimkan alamat tinggi ketika mengakses memori eksternal. Dapat dibebani oleh satu buah TTL.
- Port 3 : Port 3 adalah port I/O 8 bit *quasi bidirectional*, meliputi interrupt, timer, serial port, pin RD dan WR. Port 3 dapat dibebani oleh satu TTL. Fungsi-fungsi khusus pada port 3 adalah :
 - RXD/data (P3.0), port serial penerima data input (*asynchronous*).
 - TXD/Clock (P3.1), port serial pengirim data output (*asynchronous*) atau clock output (*synchronous*).
 - INT0 (P3.2), input interrupt 0 atau gerbang input kontrol untuk counter 0.
 - INT1 (P3.3), input interrupt 1 atau gerbang input kontrol untuk counter 1.
 - T0 (P3.4), input ke counter 0.
 - T1 (P3.5), input ke counter 1.
 - WR (P3.6), sinyal kontrol penulisan *men-latches* byte data dari port 0 ke memori data eksternal.
 - RD (P3.7), sinyal kontrol pembacaan *meng-enable* memori data eksternal ke port 0.
 - RST/VPD : Perubahan dari level rendah ke level tinggi (sekitar 3 V) mereset 8031.
 - ALE/PROG : ALE menghasilkan keluaran yang digunakan

mengunci alamat ke memori luar selama operasi normal.

- PSEN : Keluaran PSEN adalah sinyal kendali yang menghubungkan memori program eksternal dengan bus selama operasi normal.
- EA/VDD : Untuk 8031, kaki ini harus dihubungkan dengan *ground* agar dapat menjalankan instruksi dari memori program eksternal.
- XTAL1 : Keluaran dari penguat osilator. Kaki ini dihubungkan dengan kristal.

Port 1 Bit 0	1	P1.0	Vcc 40	+ 5V
Port 1 Bit 1	2	P1.1	AD0/P0.0	Port 0 Bit 0 (Address/Data 0)
Port 1 Bit 2	3	P1.2	AD1/P0.1	Port 0 Bit 1 (Address/Data 1)
Port 1 Bit 3	4	P1.3	AD2/P0.2	Port 0 Bit 2 (Address/Data 2)
Port 1 Bit 4	5	P1.4	AD3/P0.3	Port 0 Bit 3 (Address/Data 3)
Port 1 Bit 5	6	P1.5	AD4/P0.4	Port 0 Bit 4 (Address/Data 4)
Port 1 Bit 6	7	P1.6	AD5/P0.5	Port 0 Bit 5 (Address/Data 5)
Port 1 Bit 7	8	P1.7	AD6/P0.6	Port 0 Bit 6 (Address/Data 6)
Reset Input	9	RST	AD7/P0.7	Port 0 Bit 7 (Address/Data 7)
Port 3 Bit 0 (Receive Data)	10	P3.0/RXD	ResetEA	External Enable (EPROM Programming Voltage)
Port 3 Bit 1 (Transmit Data)	11	P3.1/TXD	PROGAL	Address Latch Enable (EPROM Program Pulse)
Port 3 Bit 2 (Interrupt 0)	12	P3.2/INT0	PSEN	Program Store Enable
Port 3 Bit 3 (Interrupt 1)	13	P3.3/INT1	A10/P2.7	Port 2 Bit 7 (Address 15)
Port 3 Bit 4 (Timer 0 Input)	14	P3.4/T0	A14/P2.6	Port 2 Bit 6 (Address 14)
Port 3 Bit 5 (Timer 1 Input)	15	P3.5/T1	A13/P2.5	Port 2 Bit 5 (Address 13)
Port 3 Bit 6 (Write Strobe)	16	P3.6/ \overline{WR}	A12/P2.4	Port 2 Bit 4 (Address 12)
Port 3 Bit 7 (Read Strobe)	17	P3.7/ \overline{RD}	A11/P2.3	Port 2 Bit 3 (Address 11)
Crystal Input 2	18	XTAL2	A10/P2.2	Port 2 Bit 2 (Address 10)
Crystal Input 1	19	XTAL1	A9/P2.1	Port 2 Bit 1 (Address 9)
Ground	20	Vcc	A8/P2.0	Port 2 Bit 0 (Address 8)

Gambar 2.2²

Konfigurasi pin-pin 8031

2.2.3. PERANGKAT KERAS CPU

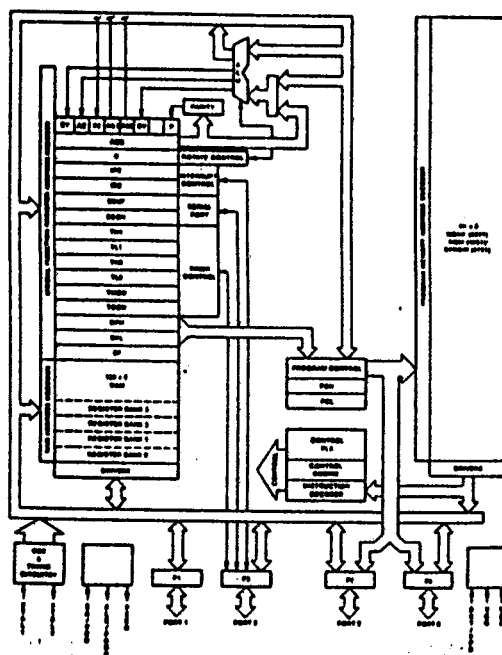
Gambar 2.3 menunjukkan diagram blok dari fungsi 8031. Fungsi dari masing-masing blok adalah sebagai berikut :

A. Dekoder instruksi :

Setiap instruksi program diterjemahkan oleh dekoder instruksi. Bagian ini membangkitkan sinyal yang mengontrol fungsi dari setiap bagian dalam CPU.

B. Program counter :

Program counter (PC) 16 bit berfungsi untuk mengontrol urutan instruksi yang akan dijalankan.



Gambar 2.3

Diagram Blok Fungsi 8031

C. Memori program internal :

Empat kilo byte memori program internal terdapat dalam 8051 dan 8751, sedangkan 8031 tidak memiliki memori program internal.

D. RAM data internal :

Pada 128 byte RAM data internal terdapat register-register :

- Register bank : Terdapat empat buah register bank di dalam RAM data internal, yang setiap bank-nya terdapat register R_0 sampai R_7 .
- 128 addressable bit : Terdapat dalam 10 byte yang berlokasi pada alamat 20H sampai 2FH di dalam RAM data internal.
- Stack : Stack dapat ditempatkan dimana saja pada RAM data internal. Banyaknya stack dapat mencapai 128 byte.

E. Register fungsi khusus (SFR) :

Dalam register fungsi khusus terdapat :

- Register A :

Register ini digunakan sebagai akumulator.

- Register B :

Register B digunakan bersama dengan register A untuk instruksi perkalian dan pembagian.

- Register Program Status Word (PSW) :

Carry (CY), auxiliary carry (AC), user flag 0 (FO), pemilih register bank (RS0 dan RS1), overflow (OV) dan parity flag (P) terdapat dalam register *Program Status Word*. Flag CY, AC dan OV pada umumnya menandakan keadaan dari operasi aritmatika yang terakhir. Flag P merupakan parity dari register A. *Flag carry* juga digunakan sebagai akumulator Boolean untuk operasi bit. Dua bit pemilih register bank (RS1 dan RS0) digunakan untuk menentukan salah dari keempat register bank.

- Penunjuk Stack (stack pointer) :

Stack pointer (SP) 8 bit menunjukkan alamat dari byte terakhir yang dimasukkan (*push*) ke stack, juga sebagai alamat dari byte selanjutnya yang akan dikeluarkan (*Pop*). Nilai SP akan bertambah selama *push*. SP dapat dibaca atau ditulis dengan perantara perangkat lunak.

- Penunjuk Data tinggi (Data Pointer High) dan Penunjuk Data Rendah (Data Pointer Low) :

Register penunjuk data (DPTR) 16 bit adalah gabungan dari register DPH dan DPL. DPTR digunakan Pengalamatan Register Tak Langsung untuk memindahkan konstanta-konstanta memori program, memindahkan variabel-variabel memori data eksternal, dan untuk bercabang (*branch*) di dalam ruang alamat 64 kilo byte memori program.

- Port 0,1,2 dan 3 :

Empat buah port tersebut menghasilkan 32 jalur I/O

untuk berhubungan dengan dunia luar. Semua port dapat dialamati secara byte maupun bit. Port 0 (P0) dan Port 2 (P2) dapat digunakan untuk menambah jumlah memori luar. Port 3 (P3) berisi sinyal kontrol khusus seperti sinyal baca dan tulis. Port 1 (P1) digunakan hanya untuk I/O.

- Register Interrupt Priority (IPC) :

Register prioritas interrupt (IPC) berisi bit-bit kontrol untuk mengaktifkan interrupt pada taraf yang diinginkan.

- Register Interrupt Enable (IEC) :

IEC digunakan untuk menyimpan bit-bit untuk mengaktifkan ke lima sumber interrupt dan menyimpan bit untuk menghidupkan / mematikan (enable/disable) keseluruhan interrupt.

- Register mode waktu/pencacah (*Timer/Counter mode register / TMOD*) :

Bit-bit pada register TMOD digunakan untuk memilih pewaktu/pencacah yang akan bekerja.

- Register Kontrol Pewaktu/Pencacah (*Timer/Counter Control Register/TCON*) :

Semua pewaktu/pencacah dikontrol oleh bit-bit dari register TCON. Bit-bit mulai/berhenti (start/stop) untuk semua pewaktu/pencacah, flag-flag *overflow* dan permintaan interrupt disimpan dalam TCON.

- Register-register Pewaktu/Pencacah 1 Tinggi dan Rendah

(TH1 dan TL1), Pewaktu/Pencacah 0 Tinggi dan Rendah (TH0 dan TL0) :

Terdapat empat lokasi register untuk dua buah Pewaktu/Pencacah 16 bit. TH1 dan TH0 digunakan untuk 8 bit tinggi dari pewaktu/pencacah 1 dan 0. TL1 dan TL0 digunakan untuk 8 bit rendah dari pewaktu/pencacah 1 dan 0.

- Register Kontrol Serial (Serial Control register / SCON) : SCON mempunyai bit-bit *enable* untuk penerimaan port serial. Pemilihan mode operasi dari port serial juga dilakukan dengan bit-bit pada register tersebut.
- Penyangga Data serial (Serial Data Buffer/SBUF) : SBUF digunakan untuk menampung data masukan atau keluaran dari port serial tergantung apakah port serial menerima atau mengirim data.

2.5.4. ARITHMETIC LOGIC UNIT (ALU)³

ALU dapat melakukan operasi-operasi aritmatika dan fungsi-fungsi logika pada variabel-variabel 8 bit, seperti penambahan, pengurangan, perkalian dan pembagian juga operasi-operasi logika AND, OR, serta fungsi-fungsi lainnya seperti *rotate*, *clear*, *complement* dan lain-lain. ALU juga dapat membuat keputusan kondisi suatu percabangan

3.Ibid., hal B-6

(*conditional branching decisions*), dan memberikan *data path* dan register-register sementara yang digunakan untuk transfer data dalam sistem. Instruksi-instruksi lainnya dibuat dari fungsi-fungsi dasar ini.

Operasi-operasi dasar digabungkan dan dikombinasikan dengan logika yang diperlukan untuk membuat instruksi-instruksi kompleks seperti meng-*increment* register terpisah 16 bit. Sebagai contoh, untuk mengeksekusi satu bentuk instruksi *compare*, 8031 meng-*increment* *program counter* tiga kali, membaca tiga byte dari memori program, menghitung alamat register dengan operasi logika, dua kali membaca memori data internal, membuat perbandingan aritmatika dari dua buah variabel, menghitung 16 bit alamat tujuan dan memutuskan apakah melakukan suatu percabangan atau tidak yang semuanya itu hanya dilakukan dalam waktu dua mikrodetik.

ALU dengan dapat memanipulasi satu bit data sama baiknya dengan delapan bit data. Bit-bit tunggal dapat di-*set*, *cleared*, *complemented*, dipindahkan, di-test dan digunakan dalam komputasi logika.

ALU dengan kemampuan yang tinggi ini menyebabkan 8031 dapat melakukan operasi kontrol secara *real time* dan algoritma data intensif. Operasi-operasi terpisah sebanyak 51 buah memindahkan dan memanipulasi tiga tipe data yaitu Boolean (1-bit), byte (8 bit) dan alamat (16 bit). Ada sebelas mode pengalamatan, yaitu tujuh untuk data, empat untuk kontrol urutan program. Operasi-operasi umumnya membolehkan beberapa mode pengalamatan.

2.5.5. RANGKAIAN OSILATOR⁴

Pembangkit pewaktu telah lengkap terdapat dalam 8031, kecuali referensi frekuensi yang bisa berupa kristal atau sumber clock eksternal. Osilator yang tersedia adalah rangkaian paralel anti-resonansi dengan frekuensi antara 1,2 MHz sampai 12 MHz. Frekuensi tersebut dibagi 12 oleh pewaktu internal yang memberikan 8031 siklus instruksi minimum 1 μ s dengan kristal 12 MHz. Pin XTAL2 adalah output dari amplifier berpenguatan tinggi, sedangkan XTAL1 adalah inputnya. Hubungan kristal antara XTAL1 dan XTAL2 memberikan umpan balik dan phase shift yang diperlukan untuk berosilasi. Jika XTAL1 dikemudikan oleh sumber frekuensi eksternal, XTAL2 tidak dihubungkan. Frekuensi 1,2 MHz sampai 12 MHz juga diperbolehkan bila digunakan sumber frekuensi luar sebagai *clock* pada XTAL1.

2.5.6. PEWAKTU CPU⁵

Satu *machine cycle* terdiri dari 6 keadaan (12 perioda osilator) dan setiap keadaan dibagi dalam dua fase yang berhubungan dengan dua fase sinyal clock. Secara normal operasi-operasi aritmatika dan logika dilakukan pada fase 1 dan transfer register ke register internal dilakukan pada fase 2.

4. Ibid., hal. 2-4

5. Embedded Controller Handbook, hal. 5-14

Karena sinyal clock internal ini tidak dapat diamati dari luar, maka sinyal XTAL2 dan ALE dapat dipakai sebagai referensi eksternal. Satu *machine cycle* terdiri dari 12 periode osilator, diberi nomor S1P1 (*State 1 Phase 1*) sampai S6P2 (*State 6 Phase 2*). Setiap state memiliki durasi selama dua periode osilator dan setiap fase berakhir pada satu periode osilator. ALE aktif dua kali setiap *machine cycle*, sekali selama S1P2 dan S2P1, dan sekali lagi selama S4P2 dan S5P1.

Eksekusi dari instruksi *one-cycle* mulai pada S1P2, ketika *opcode* dilewatkan kedalam register instruksi. Jika mengeksekusi instruksi dua byte, byte yang kedua dibaca selama S4 dari *machine cycle* yang sama. Jika merupakan instruksi satu byte, tetap akan dibaca pada S4, tetapi pembacaan byte (yang berupa *Opcode* berikutnya) diabaikan, dan *program counter* tidak dinaikkan (*not incremented*). Pada umumnya eksekusi selesai pada akhir dari S6P2.

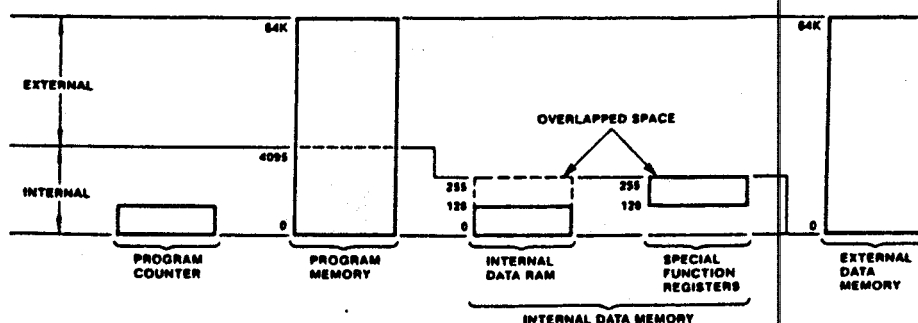
Kebanyakan instruksi-instruksi dieksekusi dalam satu cycle. Hanya instruksi perkalian lebih dari dua cycle untuk menyelesaikannya, instruksi tersebut memerlukan 4 cycle.

Dua byte kode diambil dari memori program selama tiap *machine cycle*. Satu-satunya perkecualian adalah ketika mengeksekusi instruksi MOVX. MOVX adalah instruksi 1-byte, 2-cycle yang normal dan untuk instruksi MOVX.

2.5.7. MEMORI

A. Organisasi Memori

Dalam 8031 memori diorganisasikan atas tiga ruang alamat dan *program counter*. Gambar 2.4 memperlihatkan organisasi memori dari 8031, yaitu :



Gambar 2.4⁶

Organisasi Memori 8031

- 16 bit *Program Counter*
- 64 kilo byte Ruang Alamat Memori Program
- 64 kilo byte Ruang Alamat Memori Data Eksternal
- 384 byte Ruang Alamat Memori Data Internal

Register *program counter* 16 bit melengkapi 8031 dengan kemampuan pengalamatan 64 kilo byte. *Program counter* memungkinkan pemakai untuk mengeksekusi perintah dan percabangan pada setiap lokasi dalam ruang Memori Program. Tidak ada instruksi yang mengizinkan eksekusi program untuk memin-

⁶.Intel., op. cit., hal. 2-1

dahkan ruang memori program ke setiap ruang dari memori data.

Lokasi-lokasi tertentu dalam memori program disediakan untuk program-program khusus. Lokasi 0000 sampai 0002 disediakan untuk program inisialisasi. Setelah reset dilakukan, CPU selalu mulai mengeksekusi program pada lokasi 0000. Lokasi 0003 sampai 0042 disediakan untuk pelayanan lima buah permintaan interrupt.

Ke-64 kilo byte alamat Ruang Memori Data External secara otomatis diakses ketika instruksi MOVX dilaksanakan.

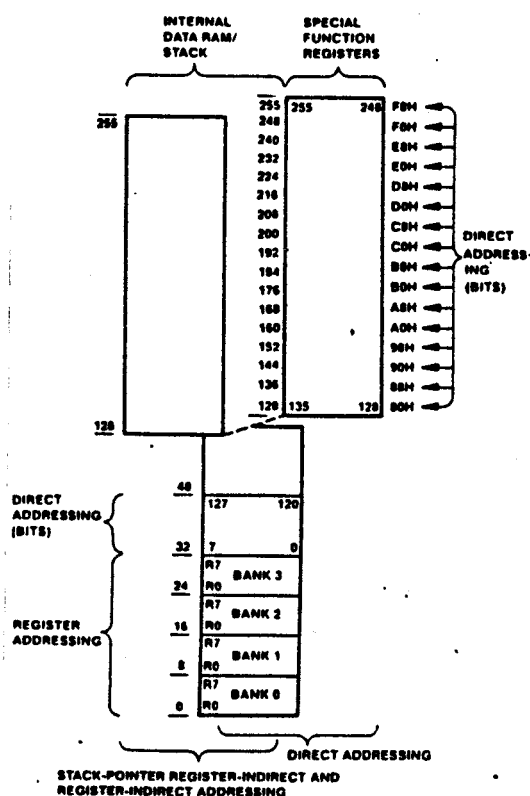
Secara fungsional, Memori Data Internal adalah ruang alamat yang paling fleksibel. Ruang Memori Data Internal dan 128 byte ruang alamat Register-Register Fungsi Khusus (SFR). Dalam ruang alamat ini terdapat 256 bit-bit terpisah yang dialamati. Gambar 2.5 menunjukkan lokasi-lokasi dari ruang-ruang alamat memori data internal.

Ruang alamat RAM Data Internal adalah 0 sampai 225. Empat *Banks* dari delapan register menempati lokasi-lokasi 0 sampai 31. *Stack* dapat menempati setiap lokasi dalam ruang alamat RAM Data Internal. Sebagai tambahan, 128 lokasi dari RAM data internal dapat diakses melalui pengalamatan langsung (*Direct-Addressing*). Bit-bit ini terletak dalam RAM Data Internal pada lokasi-lokasi byte 32 sampai 47, seperti terlihat pada gambar 2.5.

Banyaknya *stack* hanya dibatasi oleh kemampuan RAM Data Internal. *Stack* digunakan menyimpan *Program Counter* selama proses pemanggilan-pemanggilan subroutine, dan bisa digunakan untuk menyimpan parameter-parameter. Setiap byte dari

RAM data Internal atau SFR dapat diakses melalui pengalaman-langsung dapat disimpan/dikeluarkan (*pushed/popped*).

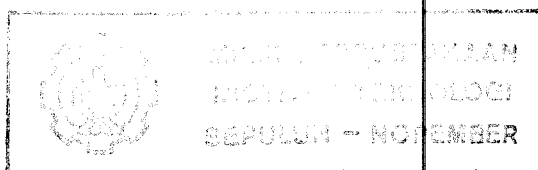
Ruang alamat register-register Fungsi Khusus adalah 128 sampai 255. Semua register selain *Program Counter* dan empat *banks* dari delapan register-register fungsi khusus memungkinkan mereka bisa diakses langsung seperti RAM Internal. Mereka dapat dioperasikan oleh hampir semua instruksi.



Gambar 2.5⁷

Ruang alamat memori Data Internal

7.Ibid., hal. 3.2



a.) RAM Bit Addresses.

RAM BYTE	(MSB)								(LSB)
7FH									
3FH	7E	7E	7D	7C	7B	7A	79	78	47
2EH	77	76	75	74	73	72	71	70	46
3DH	6F	6E	6D	6C	6B	6A	69	68	45
2CH	67	66	65	64	63	62	61	60	44
2BH	5F	5E	5D	5C	5B	5A	59	58	43
2AH	57	56	55	54	53	52	51	50	42
29H	4F	4E	4D	4C	4B	4A	49	48	41
28H	47	46	45	44	43	42	41	40	40
27H	3F	3E	3D	3C	3B	3A	39	38	39
26H	37	36	35	34	33	32	31	30	38
25H	2F	2E	2D	2C	2B	2A	29	28	37
24H	27	26	25	24	23	22	21	20	36
23H	1F	1E	1D	1C	1B	1A	19	18	35
22H	17	16	15	14	13	12	11	10	34
21H	0F	0E	0D	0C	0B	0A	09	08	33
20H	07	06	05	04	03	02	01	00	32
1FH	Bank 3								31
1EH									24
17H	Bank 2								23
16H									16
0FH	Bank 1								15
0EH									8
07H									7
06H	Bank 0								0

Gambar 2.6⁸

Alamat-alamat Bit RAM internal

b.) Hardware Register BH Addresses.

Direct Byte Address	BH Addresses								Hardware Register Symbol
(MSB)	(LSB)								
240	F7	F6	F5	F4	F3	F2	F1	F0	B
224	E7	E6	E5	E4	E3	E2	E1	E0	ACC
208	D7	D6	D5	D4	D3	D2	D1	D0	PSW
192									
176	—	—	—	BC	B8	BA	B9	B0	IP
160	B7	B6	B5	B4	B3	B2	B1	B0	P3
144	AF	—	—	AC	AB	AA	A9	A8	IE
128	A7	A6	A5	A4	A3	A2	A1	A0	P2
112	9F	9E	9D	9C	9B	9A	99	98	SCON
96	87	86	85	84	83	82	81	80	P1
80	7F	7E	7D	7C	7B	7A	79	78	TCON
64	67	66	65	64	63	62	61	60	P0

Gambar 2.7⁹

Alamat-alamat Register Fungsi Khusus

Sebagai tambahan 128 bit lokasi-lokasi dalam ruang alamat Register-register Fungsi Khusus dapat diakses melalui

9.Ibid., hal. 2-4

pengalamatan langsung. Bit-bit ini berada dalam ruang alamat Register-register Fungsi Khusus dan dapat diakses menggunakan pengalamatan langsung. Dua puluh Register-register Fungsi Khusus ada pada tabel 2.1 Pemetaannya pada register-register Fungsi Khusus diperlihatkan pada gambar 2.7

B. MODE-MODE PENGALAMATAN¹⁰

Karena arsitektur 8031 membedakan antara Memori Data dengan Program Memori, maka masing-masing mempunyai mode-mode pengalamatan yang berbeda-beda. Ada lima metode pengalamatan *source operand*, yaitu :

- *register addressing*
- *direct-addressing*
- *register-indirect addressing*
- *immediate addressing*
- *base-register-plus index-register-indirect addressing.*

Tiga metode yang pertama juga dapat berfungsi untuk alamat suatu *destination operand*.

Pada umumnya instruksi-instruksi mempunyai *destination source* yang men-spesifikasikan tipe data, mode pengalamatan dan *operand-operand* yang diperlukan. Selain untuk instruksi *mov*, *destination operand* juga berfungsi sebagai *source operand* yang berlokasi di memori data internal. Pemilihan antara memori program dan memori data eksternal ditentukan oleh *menomenic*, kecuali untuk *immediate operand*.

10.Ibid., hal. 3-3

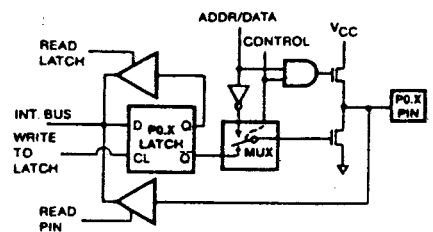
Tabel 2.1¹¹
Register-register Fungsi Khusus

SPECIAL FUNCTION REGISTER		ASM-51	LOCATION
Arithmetic Register	Accumulator	ACC	224 (EOH)
	B register	B	240 (FOH)
	Program Status- Word	PSW	208 (DOH)
Pointers	Stack Pointer	SP	129 (81H)
	Data Pointer (High)	DPH	131 (83H)
	Data pointer (Low)	DPL	130 (82H)
Pararel I/O Port	Port 3	P3	176 (BOH)
	Port 2	P2	160 (AOH)
	Port 1	P1	144 (90H)
	Port 0	P0	128 (80H)
Interrupt System	Interrupt Priority Control	IPC	184 (B8H)
	Interrupt Enable Control	IEC	183 (A8H)
Timers	Timer Mode	TMOD	137 (89H)
	Timer Control	TCON	136 (88H)
	Timer 1 (high)	TH1	141 (8DH)
	Timer 1 (low)	TL1	139 (8BH)
	Timer 0 (high)	TH0	140 (8CH)
	Timer 0 (low)	TLO	138 (8AH)
Serial I/O Channel	Serial Control	SCON	152 (98H)
	Serial Data Buffer	SBUF	153 (99H)

2.5.8 OPERASI INPUT/OUTPUT.

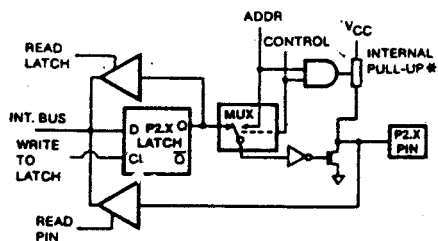
Setiap pin dari 32 jalur I/O yang terbagi menjadi empat port delapan bit, masing-masing dapat diprogram secara terpisah sebagai input atau output dan masing-masing dapat dikontrol melalui perangkat lunak.

¹¹.Ibid., hal 3-3



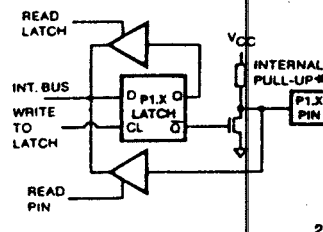
270252-2

A. Port 0 Bit



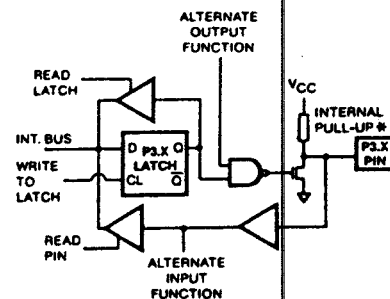
270252-4

C. Port 2 Bit



270252-3

B. Port 1 Bit



270252-5

D. Port 3 Bit

Gambar 2.8¹²

Struktur port 0,1,2 dan 3

Untuk memfungsikan suatu port sebagai input, dapat dilakukan dengan menuliskan logika '1' pada masing-masing pin. Setiap kali suatu instruksi menggunakan suatu port sebagai tujuan, harus ditulis '1' pada bit-bit yang berhubungan dengan pin-pin input. Suatu input ke sebuah port tidak memerlukan sinkronisasi dengan osilator. Setiap pin port di-sample pada akhir dari sinyal ALE selama instruksi pembacaan.

12, The 8051., op. cit., hal. 24

Port 0 mempunyai output *bidirectional open-drain*. Bila digunakan sebagai bus, port 0 mempunyai pengendali tiga kondisi standar (*Standard three state driver*). Seperti yang dilukiskan pada gambar 2.8.

Port 1,2 dan 3 mempunyai *driver output quasi bidirectional* yang dihubungkan dengan tahanan *pull-up* sebesar 10K ohm sampai 20K seperti terlihat pada gambar 2.8.

2.5.9. MENGAKSES MEMORI EKSTERNAL

Mikrokontroler 8031 dapat mengakses 64 kilo byte memori data eksternal dan 64 kilo byte memori program eksternal. Pengaksesan memori eksternal dapat dilakukan bila pin EA rendah. Sinyal ALE, PSEN, RD dan WR digunakan sebagai sinyal kontrol memori. Sinyal ALE digunakan untuk menahan alamat ke memori eksternal. Sinyal PSEN (*Program Store Enable*) digunakan untuk mengakses memori program eksternal. Sedangkan sinyal RD dan WR digunakan untuk mengakses memori data eksternal.

Pada saat mengakses memori eksternal, mikrokontroler 8031 mengeluarkan byte alamat tinggi melalui port 2 dan byte alamat rendah melalui (juga data) melalui port 0.

Setiap siklus bus memori program terdiri dari enam periode osilator. Setiap perioda dinamakan T1 sampai T6. Alamat dikeluarkan dari mikrokontroler selama T3. Transfer data terjadi pada bus selama T5, T6 dan siklus bus berikutnya T1.

Siklus pembacaan mulai pada T2 dengan adanya sinyal

ALE. Pada akhir dari sinyal ALE digunakan untuk melewati informasi alamat yang ada di bus saat itu. Pada T5, alamat dihilangkan dari bus port 0 dan pengendali bus berada pada keadaan impedansi tinggi. Kontrol pembacaan memori program juga muncul pada T5, PSEN menyebabkan komponen yang dialamati meng-*enable* pengendali bus-nya, sehingga tidak lama kemudian data instruksi yang diinginkan telah berada pada bus. Ketika 8031 mengembalikan sinyal PSEN pada keadaan tinggi, pengendali bus dari komponen yang dialamati akan kembali mengambang.

Setiap siklus bus memori data eksternal terdiri dari dua belas perioda osilator, yang diberi nama T1 sampai T12. Alamat dikeluarkan dari prosesor selama T3. Transfer data terjadi pada bus selama T7 sampai T12. T5 dan T6 adalah periode dimana arah dari bus diubah untuk operasi pembacaan. Siklus pembacaan dimulai pada T2 dengan adanya sinyal ALE. Pada akhir sinyal ALE digunakan untuk melewati informasi alamat yang telah ada pada bus. Pada T5, alamat dihilangkan dari bus dan bus port 0 berada dalam keadaan impedansi tinggi. Sinyal kontrol pembacaan memori RD, keluar selama T7. Sinyal RD menyebabkan komponen yang dialamati meng-*enable* pengendali bus-nya. Tidak lama kemudian data yang diinginkan akan berada pada bus. Pada saat 8031 mengembalikan sinyal RD pada keadaan tinggi, pengendali bus dari komponen yang dialamati akan mengambang.

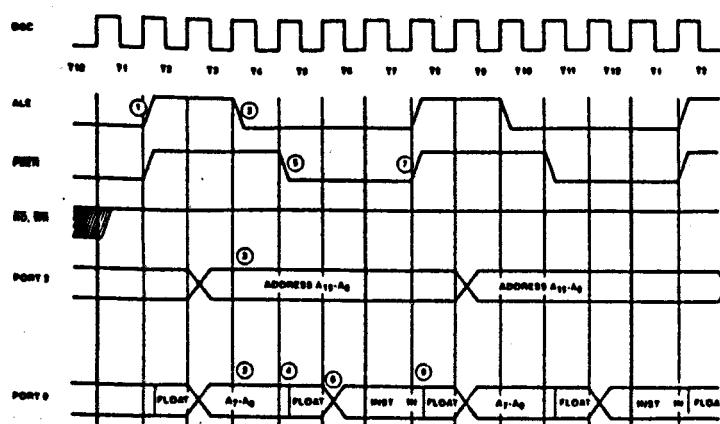
Siklus pembacaan juga dimulai dengan sinyal ALE dan pengiriman alamat. Pada T6, prosesor mengirimkan data untuk ditulis kedalam lokasi data memori yang dialamati. Data ini

tetap ada pada bus sampai akhir siklus bus berikutnya T2. Sinyal tulis WR menjadi rendah pada T6 dan tetap aktif sampai T12.

Diagram waktu dari proses pembacaan memori program, pembacaan memori data dan penulisan memori data diperlihatkan secara berturut-turut pada gambar 2.9, gambar 2.10 dan gambar 2.11.

2.5.10. SISTEM INTERRUPT

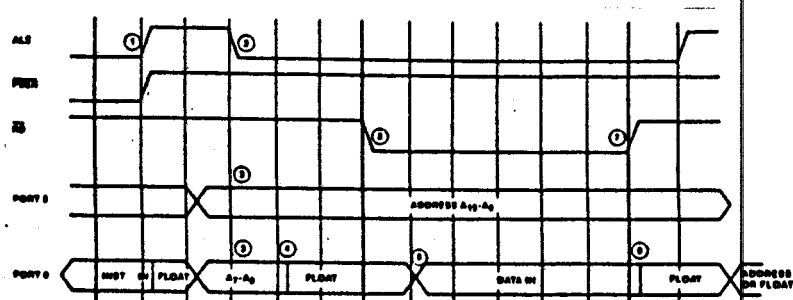
Interrupt berfungsi untuk mentransfer kontrol program ke suatu lokasi program baru. Pada 8031 terdapat lima sumber perangkat keras yang dapat membangkitkan suatu permintaan interrupt.



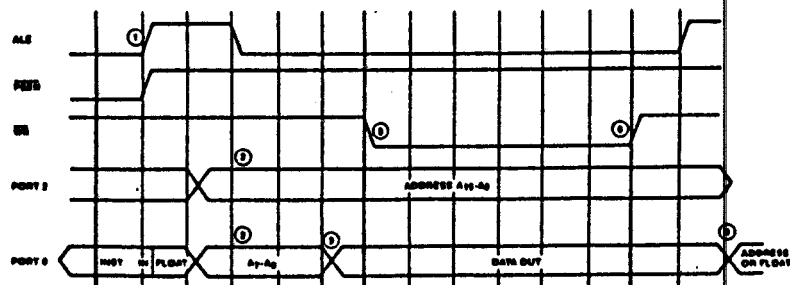
Gambar 2.9¹³

Siklus waktu pembacaan memori program

13. Intel, op. cit., hal 2-10

Gambar 2.10¹⁴

Siklus waktu pembacaan memori data

Gambar 2.11¹⁵

Siklus waktu penulisan memori data

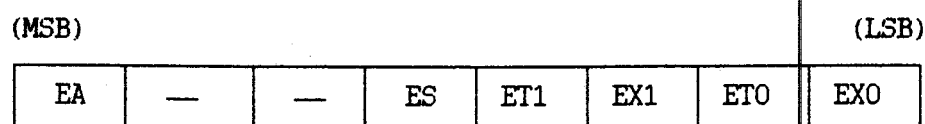
Setiap interrupt dapat diaktifkan atau tidak secara terpisah dengan mengubah bit '1' atau '0' pada register

14.Ibid., hal 2-10

15.Ibid., hal. 2-11

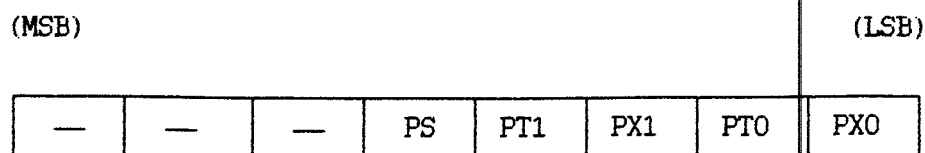
Interrupt Enable (IE). Semua sumber interrupt juga dapat diaktifkan secara keseluruhan yaitu oleh bit EA dari register IE.

Sumber-sumber interrupt dan alamat awal dari *vector address* pelayanan interrupt terlihat pada tabel 2.2. Susunan bit-bit dari register IE digambarkan pada gambar 2.12. Posisi bit-bit pada register, nama dan artinya ditunjukkan pada tabel 2.3. Sedangkan untuk register IP pada gambar 2.13 dan tabel 2.4. Disamping level prioritas diatas, terdapat struktur prioritas kedua yang ditentukan oleh urutan *polling* yaitu sebagai berikut (dari yang tinggi ke rendah) : IE0, TFO, IE1, dan R1+T1, dengan catatan struktur prioritas ini hanya digunakan untuk menyelesaikan permintaan yang serentak dari level prioritas yang sama.



Gambar 2.12¹⁶

Register interrupt enable



Gambar 2.13¹⁷

Register interrupt priority

16.Ibid., hal. 6-7

17.Ibid

Tabel 2.2¹⁸

Alamat awal program pelayanan interrupt

NO	SUMBER INTERRUPT	ALAMAT AWAL
1	Permintaan Eksternal 0	3 (0003H)
2	Timer/Counter Internal 0	11 (000BH)
3	Permintaan Eksternal 1	19 (0013H)
4	Counter/Timer Internal 1	27 (001BH)
5	Port Serial Internal	35 (0023H)

Tabel 2.3

Nama dan arti IE - Interrupt Enable Register

SIMBOL	POSISI	NAMA DAN ARTI
EA	IE.7	<i>Enable All.</i> Bila EA=0, semua interrupt dimatikan, tidak tergantung keadaan IE.0 - IE.4.
ES	IE.4	<i>Enable Serial Port.</i> Bila ES=0, interrupt priority dimatikan.
ET1	IE.3	<i>Enable Timer 1.</i> Bila ET=0, interrupt pewaktu 1 dimatikan.
EX1	IE.2	<i>Enable External Interrupt 1.</i> Bila EX1=0 <i>External Interrupt 1</i> dimatikan.
ET0	IE.1	<i>Enable Timer 1.</i> Bila ET=0, interrupt pewaktu 1 dimatikan.
EX0	IE.0	<i>Enable External Interrupt 0.</i> Bila EX=0, <i>External interrupt 0</i> dimatikan.

¹⁸.Ibid., hal. 2-6

Register TCON digunakan untuk menentukan *trigger* dari interrupt eksternal : sisi jatuh (*falling edge*) atau taraf rendah ; menjalankan atau menghentikan pewaktu/pencacah.

Tabel 2.4

Nama dan arti Interrupt Priority Register

SIMBOL	POSISI	NAMA DAN ARTI
PS	IP.4	<i>Serial Port Priority Level</i> . Bila PS=1 prioritasnya menjadi lebih tinggi.
PT1	IP.3	<i>Timer 1 priority level</i> . Bila PT1=1 tingkat prioritasnya lebih tinggi.
PX1	IP.2	<i>External Interrupt 1 priority level</i> . Bila PX=1 prioritasnya lebih tinggi.
PT0	IP.1	<i>Timer 0 priority level</i> . Bila PT0=1 prioritasnya lebih tinggi.
PX0	IP0	<i>External Interrupt 0 priority level</i> . Bila PX0=1 tingkat prioritasnya menjadi lebih tinggi.

Timer *Overflow Flag* pada register ini akan di-set oleh perangkat keras jika pewaktu/pencacah *overflow* dan *interrupt Edge Flag* di-set bila terdeteksi perubahan dari logika '1' ke logika '0' dari sinyal interrupt luar. Susunan bit-bit dari register TCON digambarkan pada gambar 2.14. Posisi bit-bit pada register, nama dan artinya ditunjukkan pada tabel 2.5.

2.5.11 PEWAKTU/PENCACAH (TIMER/COUNTER)

Mikrokontroler 8031 mempunyai dua buah register 16 bit yang dapat digunakan sebagai pewaktu/pencacah. Register tersebut adalah TH0/TL0 (Pewaktu / pencacah 0 byte tinggi / rendah). Setiap pewaktu/pencacah dikontrol oleh bit dalam register TMOD untuk memilih fungsi sebagai pewaktu/pencacah.

(MSB)				(LSB)			
TF1	TR11	TF0	TR0	IE1	IT1	IE0	IT0

Gambar 2.14

Register timer/counter control/status (TCON)

Terdapat empat mode pewaktu/pencacah yang dapat dipilih, yaitu :

- Mode 0 :

Dalam mode ini pewaktu/pencacah dikonfigurasi sebagai register 13 bit dengan *prescaler* pembagi 32. Pewaktu / pencacah 1 bekerja apabila TR1 = 1 dan bila GATE = 0 atau INT1 = 1 begitu pula untuk pewaktu/pencacah 0.

- Mode 1 :

Mode 1 sama dengan mode 0, kecuali register timer difungsikan dengan 16 bit.

- Mode 2 :

Menghasilkan pewaktu / pencacah 8 bit dengan *automatic reload*. Register TH1 atau TH0 berisi bilangan yang akan di *reload* ke register TL1 atau TL0 setiap kali *overflow*.

Tabel 2.5

Nama dan arti register TCON

SIMBOL	POSISI	NAMA DAN ARTI
TF1	TCON.7	<i>Timer 1 overflow flag.</i> Disini '1' oleh perangkat keras bila pewaktu/pencacah overflow. Disini '0' bila interrupt diproses.
TR1	TCON.6	<i>Timer 1 run control bit.</i> Di-set oleh perangkat lunak untuk menjalankan/menghentikan pewaktu/pencacah.
TF0	TCON.5	<i>Timer 0 overflow flag.</i> Di-set oleh perangkat keras bila pewaktu/pencacah overflow. Di-reset bila interrupt diproses.
TRO	TCON.4	<i>Interrupt 0 run control bit.</i> Di-set/reset oleh perangkat lunak untuk menjalankan/menghentikan pewaktu/pencacah.
IE1	TCON.3	<i>Interrupt 1 byte flag.</i> Di-set oleh perangkat keras bila sisi interrupt luar diproses.
IT1	TCON.2	<i>Interrupt 1 type control bit.</i> Di-set atau di-reset oleh perangkat lunak untuk menentukan <i>Falling edge/low level trigger</i> dari luar.
IE0	TCON.1	<i>Interrupt 0 edge interrupt.</i> Di-set oleh hardware bila sisi interrupt luar terdeteksi. Di-set bila interrupt diproses
IT0	TCON.0	<i>Interrupt 0 type control bit.</i> Di-set/reset oleh software untuk menentukan <i>falling edge/low level trigger</i> dari interrupt luar.

- Mode 3 :

Pewaktu 0 dibuat menjadi dua buah pewaktu / pencacah 8 bit yang terpisah. Pewaktu 1 tidak bekerja. Konfigurasi *hardware* dari berbagai mode diperlihatkan dalam gambar 2.15. Susunan bit-bit dari register TMOD digambarkan pada gambar 2.16. Fungsi dari masing-masing bit adalah sebagai berikut :

- Gate :

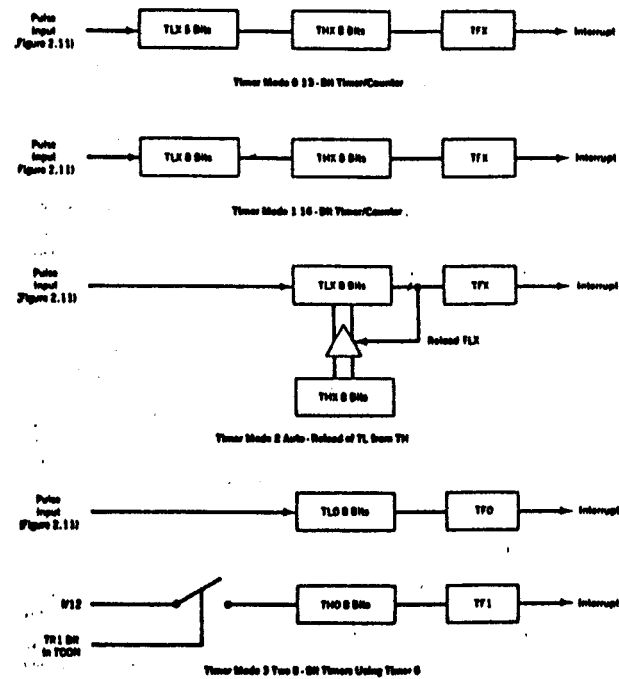
Kontrol gerbang. Bila GATE = 1, pewaktu 0/pewaktu 1 akan diaktifkan hanya bila kaki INTO/INT1 mendapat masukan tinggi dan bit kontrol TR0/TR1 = 1. Apabila Gate = 0, pewaktu 0/pewaktu 1 diaktifkan apabila TR0/TR1 = 1.

- C / T :

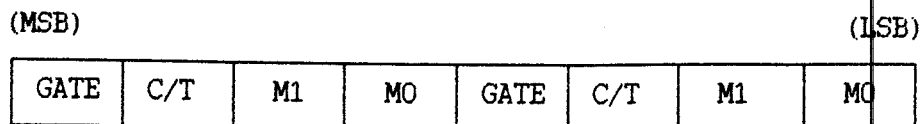
Pemilih operasi pewaktu atau pencacah. Bila C/T = 0, untuk operasi pewaktu (masukan dari sistem clock di dalam), dan bila C/T = 1 untuk operasi pencacah (masukan dari kaki T0/T1).

- M0/M1 :

Pemilihan mode operasi. M1=0 dan M1=0 untuk 0, M1=0 dan M0=1 untuk mode 1, M1=0 dan M0=1 untuk mode 2, M1=1 dan M0=1 untuk mode 3.



Gambar 2.15¹⁹
Mode Timer / Counter



Gambar 2.16
Register *timer/counter* mode (TMOD)

19. The 8051 op. cit., hal. 31

2.5.12 PORT SERIAL

Port serial digunakan untuk komunikasi data serial, baik yang menggunakan hubungan *half duplex* maupun *full duplex*, atau untuk menambah port I/O dengan menggunakan register geser (*shift register*). Port serial dapat dioperasikan dalam empat mode, yaitu :

- Mode 0 (*synchronous*) :

Data serial 8 bit dikirim dan diterima melalui RxD dengan bit terendah (LSB) yang pertama, dan TxD, mengeluarkan clock penggeser (*shift clock*). *Baud rate* adalah 1/12 frekuensi osilator.

- Mode 1 (*asynchronous*) :

Sepuluh bit ditransmisikan melalui TxD atau diterima melalui RxD dengan ukuran : 1 *start bit*, 8 bit data (LSB yang pertama), dan 1 bit. *Baud rate*-nya variabel.

- Mode 2 :

Sebelas bit ditransmisikan melalui TxD atau diterima melalui RxD dengan urutan : 1 *start bit*, 8 bit data (LSB yang pertama, 1 bit data yang dapat diprogram, dan 1 *stop bit*. Pada pengiriman data, bit data ke 9 (TB8) dapat dipilih 1 atau 0. TB8 dapat digunakan sebagai *parity bit*. Pada penerimaan data, bit data ke 9 akan mengisi RB8 pada register SCON dan *stop bit* diabaikan. *Baud rate* dapat diprogram untuk 1/32 atau 1/64 frekuensi osilator.

- Mode 3 :

Mode 3 sama dengan mode 2 kecuali pada mode 3 *baud rate* dapat diubah-ubah (*variabel*).

A. BAUD RATE

Baud rate untuk mode 0 adalah 1/12 frekuensi osilator. *Baud rate* untuk mode 2 bergantung pada nilai bit SMOD didalam register fungsi khusus PCON. Jika SMOD = 0 maka *baud rate*-nya adalah 1/64 dari frekuensi osilator. Jika SMOD = 1, *baud rate*-nya adalah 1/32 dari frekuensi osilator.

Baud rate untuk mode 1 dan 3 ditentukan oleh *overflow rate* timer 1 dan *baud rate* ditentukan oleh rumus sebagai berikut :

$$\text{Baud rate} = \frac{2^{\text{SMOD}}}{32} \times \frac{\text{Frekuensi Osilator}}{12 \times [256 - (\text{TH1})]}$$

TH1 adalah nilai *reload* yang diisikan dengan perangkat lunak pada register TH1.

B. REGISTER SERIAL PORT CONTROL (SCON)

Register SCON digunakan untuk mendefinisikan mode operasi dan kontrol fungsi-fungsi tertentu dari port serial. Register ini juga menerima bit data ke 9 (RB8) dan mengirim serta menerima *interrupt flags* (TI dan RI). Register SCON digambarkan pada gambar 2.17.

SM0 dan SM1 digunakan untuk memilih mode operasi dari port serial seperti yang ditunjukkan pada tabel 2.7. Sedangkan fungsi bit-bit lainnya adalah :

- SM2 :

Pada mode 2 atau 3, bila SM2 = 1, maka RI tidak akan diaktifkan bila bit data ke 9 (RB8) yang diterima adalah 0. Pada mode 1, jika SM2 = 1, maka RI tidak akan diaktifkan bila *stop bit* yang sama sempurna tidak diterima. Pada mode 0 SM2 tidak digunakan.

- REN :

Bit ini di-set secara *software* untuk menjalankan / menghentikan penerimaan data.

(MSB)				(LSB)			
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

Gambar 2.17

Register SCON

- TB8 :

Merupakan data bit yang ke 9 yang akan dikirim pada mode 2 dan 3. Di-set atau *clear* secara *software*.

- RB8 :

Pada mode 2 dan 3, merupakan bit data ke 9 yang diterima. Pada mode 1, jika SM2=0, RB8 adalah *stop bit* yang diterima. Pada mode 0, RB8 tidak digunakan.

- TI :

Sebagai *Transmit Interrupt Flag* yang di-set secara *hardware* pada akhir dari waktu bit yang ke 8 pada mode 0, atau pada awal dari *stop bit* dalam mode yang lainnya. Dalam pengiriman secara serial, TI harus di-*clear* secara *software*.

- RI :

Merupakan *receive interrupt flag* yang di-set secara *hardware* pada akhir dari waktu bit ke 8 pada mode 0, atau pada setengah dari pemasukan *stop bit* pada mode yang lainnya. Pada penerimaan serial, RI harus di-clear secara *software*.

C. SERIAL DATA BUFFER REGISTER (SBUF)

SBUF merupakan buffer untuk pengirirman data penerimaan data secara serial. Register SBUF untuk pengiriman adalah berupa register geser 9 bit. Proses menulis data ke SBUF, juga berarti menulis bit ke 9 dari register geser dengan 1 atau TB8, bergantung dari mode yang dipilih.

Tabel 2.6

Pemilihan mode operasi bit serial

SM0	SM1	MODE	FUNGSI	BAUD RATE
0	0	0	Register Geser	$f_{osc}/12$
0	0	1	8 bit UART	Variabel
1	0	2	9 bit UART	$f_{osc}/64$ atau $f_{osc}/32$
1	2	3	9 bit UART	Variabel

Register-register penerima merupakan adalah sebuah register geser dengan panjang 8 bit pada mode 0 atau 9 bit pada mode yang lain, register SBUF dan sebuah *read-only register* yang diisi oleh perangkat keras dengan byte data.

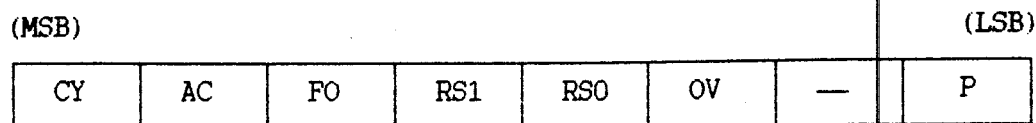
Pada saat yang bersamaan dengan aktifnya RI. Pada mode UART, bit ke 9 disikan ke RB8 pada register SCON pada saat yang bersamaan dengan pengisian byte data ke dalam SBUF.

D. PROGRAM STATUS WORD REGISTER (PSW)

Register status program (PSW) digunakan untuk menyimpan keadaan (status) dari mikrokontroler dan kontrol operasi untuk mikrokontroler. Gambar register PSW ditunjukkan pada gambar 2.18. Berikut adalah arti dari masing-masing bit dari PSW :

- CY : *Carry Flag*. Di-set/clear secara *hardware* atau *software* sepanjang instruksi aritmetika atau logika tertentu.
- AC : *Auxiliary flag*. Di-set/clear sepanjang instruksi penambahan atau pengurangan untuk menunjukkan adanya *carry* atau *borrow* dari bit ke 3.
- FO : *Flag 0*. Di-set/clear atau di-tes secara *software* sebagai status flag yang didefinisikan oleh pemakai.
- RS0 : *Register bank select control bit 0*. Di-set/clear secara *software* untuk menentukan *register bank* yang bekerja.
- RS1 : *Register bank select control bit 1*. Di-set/clear secara *software* untuk menentukan *register bank* yang bekerja.
- OV : *Overflow Flag*. Di-set/clear sepanjang instruksi aritmatika secara *hardware* untuk menunjukkan kondisi *overflow*.
- P : *Parity Flag*. Di-set/clear secara *hardware* setiap

daur instruksi untuk menunjukkan kondisi *odd / even* dari bit 1 pada akumulator.



Gambar 2.18

Register PSW

2.3 KOMUNIKASI DATA

Komunikasi didalam sistem komputer umumnya dilakukan secara paralel lewat saluran data bus. Yaitu bisa berupa byte maupun word. Disamping untuk keperluan intern, diperlukan juga transfer data antar komputer, baik untuk jarak lokal maupun atau berjauhan. Komunikasi data terbagi dalam 2 bagian :

1. Komunikasi data paralel.
2. Komunikasi data serial.

2.3.1 Komunikasi Data Paralel.

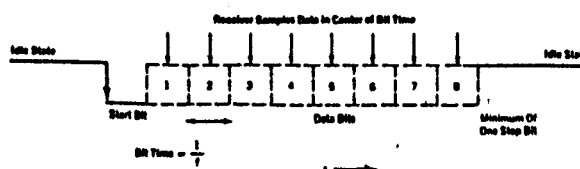
Komunikasi data paralel dilakukan dengan cara pengiriman atau penerimaan data 8 bit data sekaligus pada saat yang sama. Perpindahan data dilakukan byte demi byte atau word demi word sehingga memiliki kecepatan relatif lebih tinggi.

Komunikasi data paralel membutuhkan jumlah kawat saluran sejumlah bit yang diperlukan. Oleh karena itu perpindahan data secara paralel ini tidak sesuai untuk komunikasi jarak jauh. Disamping itu untuk jarak jauh akan menimbulkan *cross talk* dan derau yang cukup besar.

2.3.2 Komunikasi Data Serial.

Komunikasi data serial adalah dengan mengirimkan satu bit data setiap selang waktu tertentu sehingga praktis kecepatannya lebih lambat dibandingkan dengan komunikasi data paralel. Salah satu serial interface yang sering digunakan adalah RS-232C. RS-232C adalah interface Standar *Electronic Industry Association* (EIA). Prinsip kerja dari RS-232C adalah mengubah data paralel menjadi data serial atau sebaliknya untuk kemudian dikirimkan dalam bentuk data biner serial.

Metode pengiriman sinyal yang dipakai RS-232C adalah metoda *asinkron*. Komputer walau menggunakan transmisi *asinkron* untuk komunikasi serial, data yang diterima akan diubah menjadi sinkron. Transmisi *asinkron* menyusun karakter yang ditransmisikan antara satu *start bit* dan dua *stop bit* seperti yang ditunjukkan pada gambar 2.19 dibawah ini.



Gambar 2.19²⁰

Transmisi Asinkron

20.Ibid., hal 36

Kecepatan transmisi dalam saluran biasanya diekspresikan dalam baud rate, sebenarnya istilah *baud* menunjukkan jumlah sinyal yang ditransmisikan dinyatakan dalam keadaan biner. Istilah baud sama dengan bit tiap detik. Agar tidak menimbulkan kerancuan dipakai istilah *baud* untuk menunjukkan kecepatan transmisi, sedangkan untuk kecepatan informasi dipakai bit per detik (bps).

Format Data.

Seperti halnya transmisi asinkron pada umumnya, format data RS-232C diawali dengan *Start bit*, kemudian *data bit* dan diakhiri dengan *parity* dan *stop bit*.

- *Start Bit*.

Pada sistem komputer atau suatu peralatan penerima karakter asinkron yang dapat dibaca baik logika '0' atau logika '1' pada jalur *received data* akan memberikan kondisi awal logika '0' selama *bit time* yang sudah ditentukan. Bila data word akan dikirimkan. Dengan adanya perubahan kondisi '1' ke '0', komputer tersebut akan menafsirkan bahwa suatu word data akan dikirim.

- *Bit Data*.

Proses transmisi harus mengikuti beberapa aturan. Salah satu yang harus diperhatikan adalah kode karakter yang dipakai dalam bit data. Saat ini ada beberapa kode yang cukup populer antara lain : kode 5 bit untuk Baudot Murray; kode 6 bit untuk IBM correspondence; kode 8 bit untuk EBCDIC; dan yang paling populer adalah kode 7 bit untuk

kode ASCII. Standard RS-232C tidak membatasi jumlah bit per karakter, akan tetapi komputer membatasinya. Pengiriman data bit selalu dimulai dengan bit terkecil sampai bit terbesar.

- *Parity dan Stop Bit*

Setelah data bit akan diikuti dengan *parity bit*, yang digunakan untuk mendeteksi kesalahan. Suatu kesalahan akan terjadi bilamana ada gangguan pada pulsa yang dikirim, oleh karena itu satu bit perlu ditambahkan untuk mengecek kesalahan dalam pembacaan data dan biasanya disebut *parity check*.

Bit terakhir yang ditransmisikan adalah *stop bit*. Bit ini boleh dikatakan bukan bit yang sebenarnya, tetapi *stop times* yang mengizinkan *received* data untuk mengumpulkan bit-bit serial yang sudah diterima, dan siap untuk karakter selanjutnya.



BIBLIOTHECA
INSTITUT TEKNOLOGI
SEPULUH - NOPEMBER

BAB III

PERENCANAAN DAN PEMBUATAN PERANGKAT KERAS

Perencanaan perangkat keras dimulai dari blok diagram rangkaian dan prinsip kerja secara umum dan kemudian dibahas pada masing-masing blok.

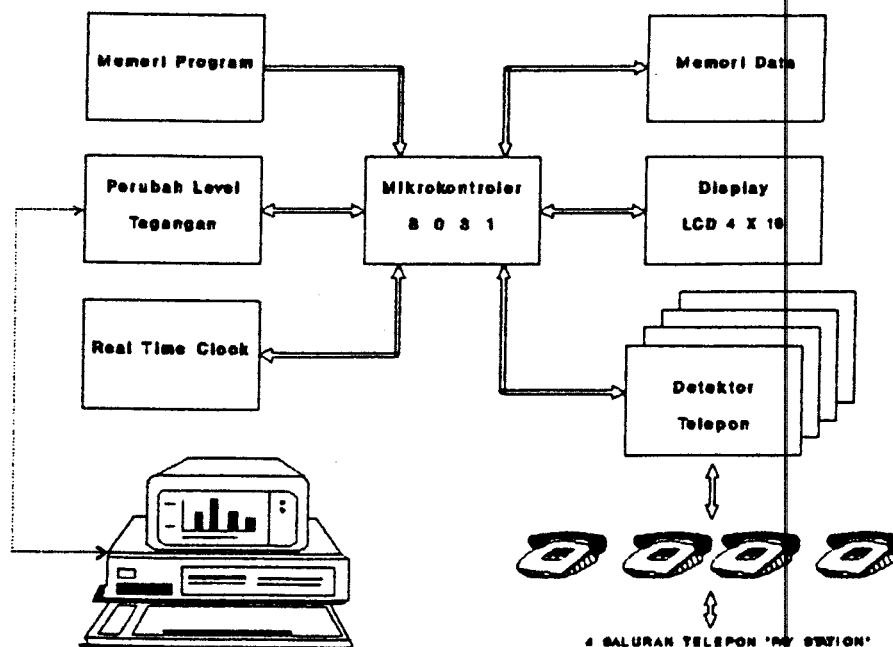
Komponen utama dari perangkat keras ini adalah IC mikrokontroler 8031. Mikrokontroler ini berfungsi untuk mengontrol empat detektor telepon digital otomatis dan mencatat informasi berupa nomor tujuan, tanggal, waktu awal, jumlah pulsa, waktu akhir dan line telepon. Dan sekaligus menampilkan pada LCD dan menyimpannya pada memori data eksternal bila terjadi suatu *call*. Informasi-informasi yang ada pada memori data eksternal ini, bila diperlukan dapat dikirim ke komputer secara serial asinkron.

Dalam pengopersiannya mikrokontroler ini dirangkai dengan komponen-komponen penting lainnya, seperti komponen RTC, komponen memori program eksternal, memori data eksternal, modul LCD, modul detektor telepon digital, komponen pengubah level TTL ke RS-232C dan komponen dekoder serta gerbang-gerbang logika.

3.1 BLOK DIAGRAM

Bagian dari perangkat kerasnya yang direncanakan terdiri dari : unit RTC, unit memori data eksternal, unit

memori program eksternal, unit LCD, unit penarik level tegangan serta unit detektor telepon. Blok diagram diperlihatkan pada gambar 3.1.



Gambar 3.1

Blok Diagram Alat Penghitung Pulsa Telepon

Unit RTC diperlukan untuk mencatat tanggal dan waktu saat terjadi suatu *call*. Unit ini dapat di-set lewat *keypad* telepon_1.

Unit memori data eksternal diperlukan untuk menyimpan informasi setiap terjadi *call*. Memori program eksternal berisi instruksi-instruksi yang dilakukan oleh mikrokontroler.

Unit LCD berfungsi untuk menampilkan aktifitas-aktifitas mikrokontroler terhadap unit-unit lainnya sehingga informasinya langsung dapat dibaca.

Kondisi awal (semua pesawat telepon dalam keadaan *hook on*) mikrokontroler menginstruksikan LCD menampilkan pada baris_1 "MONITORING", baris_2 "PULSA TELEPON", baris_3 "TANGGAL", dan baris_4 menampilkan "Jam". Setiap modul detektor telepon akan memberikan informasi seperti tabel 3.1.

Tabel 3.1
Informasi Dari Dari Detektor Telepon

NO.	D ₇ D ₆ D ₅ D ₄	D ₃ D ₂ D ₁	D ₀	Fungsi Detektor
1.	0 0 0 0	0 0 0	0	Hook-On
2.	0 0 0 0	0 0 0	1	Hook-Off
3.	0 0 0 1	X X X	1	Nomor Telepon > 0 .. 9
4.	1 0 1 0	X X X	1	
5.	1 1 0 1	0 0 0	1	Menu
6.	1 1 1 1	X X X	1	Pulsa

Keenam keadaan ini akan dibaca mikrokontroler dan mengaktifkan unit-unit lain sebagai berikut.

Pada keadaan *Hook Off* mikrokontroler menginstruksikan unit LCD menampilkan "Logo/Calender" yang menandakan tidak ada operasi pada pesawat telepon (semua pesawat *handset* ditutup).

Pada keadaan *Hook Off* mikrokontroler menginstruksikan unit LCD menampilkan "Please Dial" yang menandakan *handset* diangkat dan tombol belum ditekan.

Pada keadaan *No.Telp* mikrokontroler mengintruksikan unit LCD menampilkan nomor telepon yang ditekan, maksimum sebanyak 16 digit dan menyimpan informasi nomor yang ditekan kedalam memori data internal

Pada keadaan *Sinyal Pulsa* menandakan terjadi suatu *call*. Mikrokontroler menginstruksikan informasi waktu awal dari RTC disimpan di memori data internal. Sinyal pulsa ini dikirim dari sentral telepon secara periodik dan setiap sinyal pulsa ini di kumulatikan di memori data internal sampai keadaan *Hook On* di peroleh, maka mikrokontroler akan memindahkan semua informasi yang disimpan pada memori data internal dan nomor detektornya kedalam memori data eksternal.

Instruksi-instruksi diatas merupakan satu siklus pembacaan mikrokontroler terhadap satu detektor dalam satu kali *call*.

Pada keadaan *Menu* ini khusus terdapat pada detektor_1 yang merupakan *console* dari empat detektor. Untuk bisa masuk kedalam keadaan *Menu* ini dengan mengangkat *handset* kemudian menekan tombol "#" . Apabila keadaan ini dibaca oleh mikrokontroler LCD diinstruksikan untuk menampilkan tiga pilihan menu yaitu : 1. Set Date & Time 2. Informasi 3. Upload data ke IBM PC. Dan pembacaan terhadap detektor lain dihentikan sampai keluar dari keadaan *Menu*.

Pada Menu Set Date & Time, mikrokontroler merubah informasi Date & Time didalam RTC lewat keypad pada telepon_1.

Pada Menu Informasi, mikrokontroler menginstruksikan

LCD menampilkan total jumlah pulsa dan total jumlah *call* yang disimpan dalam memori data eksternal.

Pada menu Upload data ke IBM PC, mikrokontroler menginstruksikan data yang ada pada memori data eksternal mulai address 0000H sampai dengan address tertinggi dipindahkan lewat port serial yang dijembatani oleh unit pengubah level tegangan ke RS-232C pada komputer IBM PC.

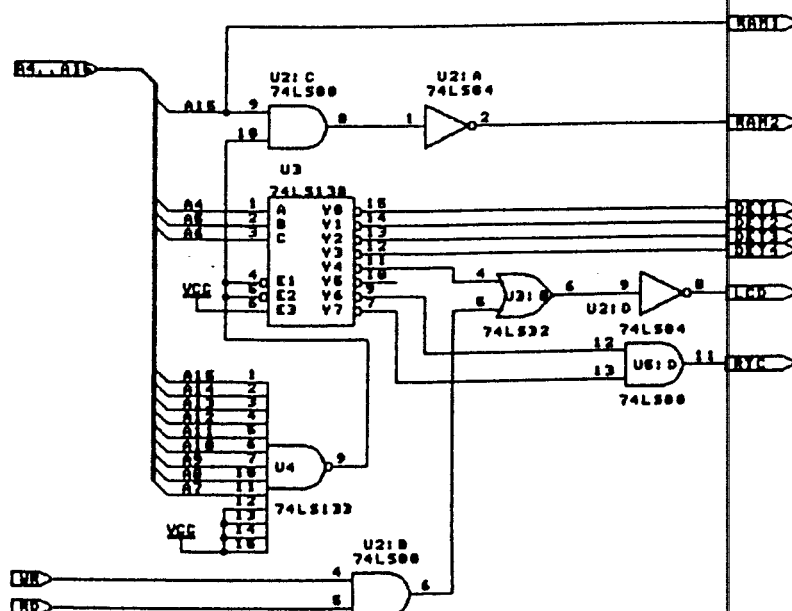
3.2 RANGKAIAN MIKROKONTROLER 8031

Rangkaian mikrokontroler 8031 diperlihatkan pada gambar 3.2. Kaki LE (*Latch Enable*) dari IC 74LS373 dihubungkan dengan kaki ALE dari 8031. Berfungsi untuk menahan address ($A_0..A_7$). Karena data dan alamat di *multiplex*. Sedangkan kaki *Direction* dari buffer data dihubungkan dengan output dari gerbang AND antara RD dan PSEN. Sehingga bila salah satu atau keduanya dari sinyal RD dan PSEN aktif berarti arah data adalah masuk ke mikrokontroler. Sedangkan bila keduanya tidak aktif berarti arah data keluar dari mikrokontroler.

3.3 RANGKAIAN DEKODER

Rangkaian dekoder digunakan untuk memilih satu dari delapan masukan atau keluaran. Rangkaian dekoder sangat diperlukan untuk mengoptimalkan jumlah address yang ada agar tercapai pemakaian yang maksimum. Untuk itu dibuat *mapping address* seperti tabel 3.2

Dari *mapping address* tersebut akan direncanakan rangkaian dekoder yang diperlihatkan pada gambar 3.3.



Gambar 3.3

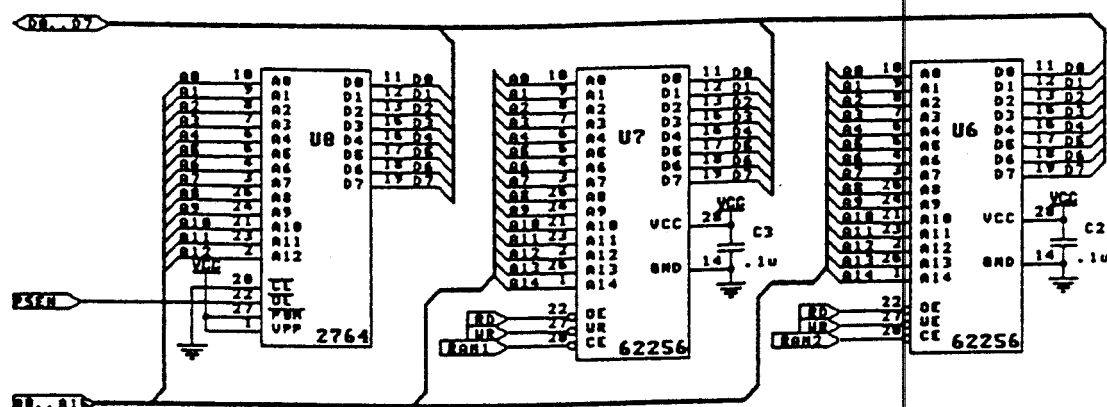
Rangkaian Dekoder Minimum sistem 8031

Dari 65536 byte address input / output data mikrokontroler, 65408 byte digunakan untuk memori data eksternal dan 128 byte digunakan untuk detektor_1, detektor_2, detektor_3, detektor_4, LCD dan RTC.

3.4 RANGKAIAN MEMORI PROGRAM DAN DATA

Komponen memori program adalah menggunakan IC 2764. Yaitu berupa EPROM 8 Kbyte mulai dari address 0000H sampai 1FFFH. Pin CE di *ground*-kan dan pin OE/VPP dihubungkan dengan pin PSEN (program store enable) dari IC 8031. Bila PSEN aktif menandakan proses pembacaan ke EPROM.

Untuk proses penyimpanan data digunakan dua buah IC 62256 berupa RAM statis, masing-masing berkapasitas 32 Kbyte. Pin OE dihubungkan pada pin RD dari IC 8031 dan pin WE dihubungkan pada pin WR dari IC 8031. Pin ini digunakan untuk memberikan sinyal baca/tulis data pada memori eksternal. Sedangkan pin CE untuk IC 62256 pertama dihubungkan pada address A₁₅ dan untuk IC 62256 kedua dihubungkan pada Y₀ dari rangkaian *decoding*.

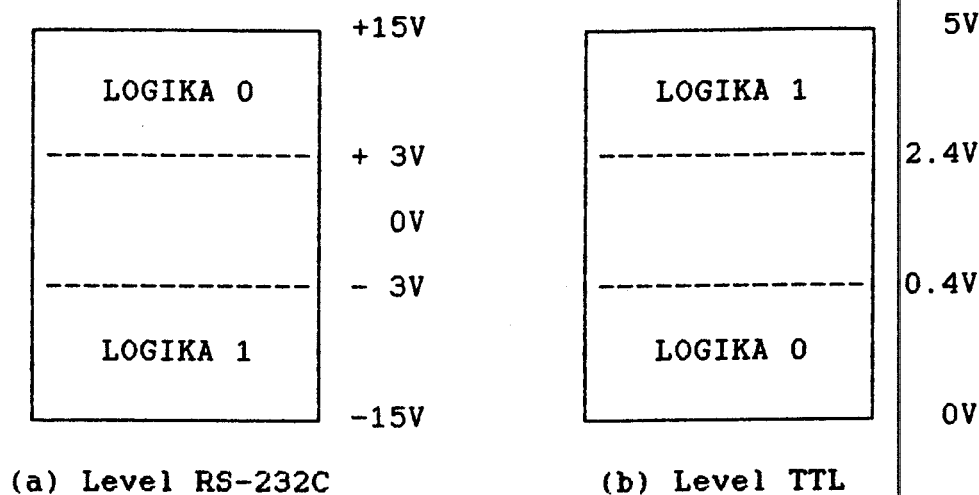


Gambar 3.4

Rangkaian Memori Program dan Memori Data

3.5 RANGKAIAN SERIAL INTERFACE RS-232C

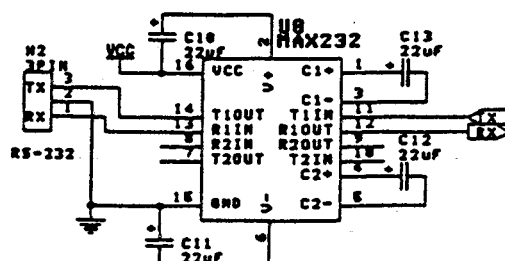
Rangkaian serial interface diperlukan untuk mengubah level TTL ke level RS-232C atau sebaliknya. Perbandingan spesifikasi level sinyal RS-232C dengan TTL dapat dilihat pada gambar 3.5. Kedua standar level ini berbeda dalam hal pendefinisian level logikanya. Pada level TTL logika '0' didefinisikan pada level 0 - 0.4 volt logika '1' didefinisikan pada level 2.4 - 5 volt. Pada level RS-232C logika '0' didefinisikan pada tegangan 3 - 15 V sedang logika '1' didefinisikan pada tegangan (-3) - (-15) volt.



Gambar 3.5

Perbandingan Spesifikasi Level RS-232C dengan TTL

Untuk mengubah level TTL ke level RS-232C atau sebaliknya dari RS-232C ke TTL diperlukan IC ICL232 dengan empat kapasitor 22 uF/16V. Seperti yang terlihat pada gambar 3.6. Rangkaian ini lebih praktis dari jenis IC yang lain karena mempunyai catu daya tunggal +5 volt.

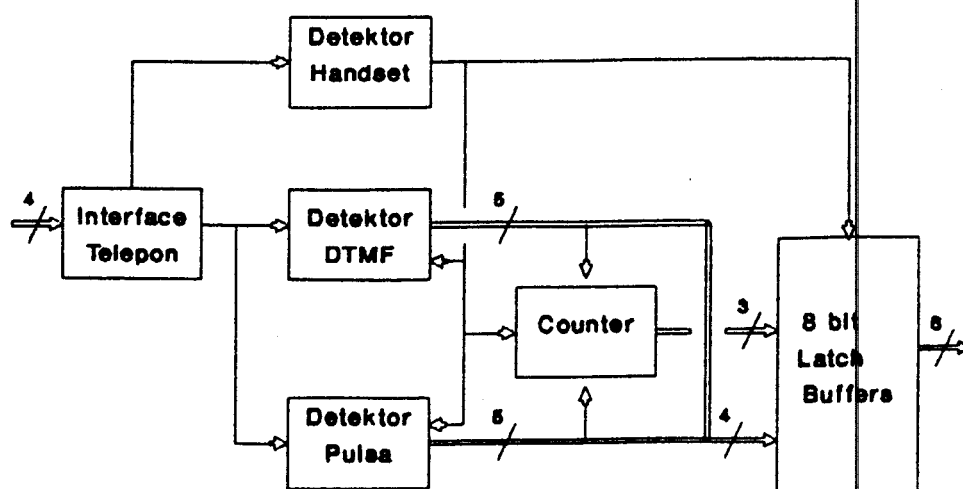


Gambar 3.6

Rangkaian pengubah level

3.6 PERANGKAT DETEKTOR TELEPON.

Rangkaian detektor telepon dirancang satu modul PCB untuk satu line saluran telepon yang diinterfacekan kerangkaian minimum sistem. Pada pembahasan ini akan dibahas untuk satu modul detektor telepon. Adapun blok diagramnya seperti pada gambar 3.7 yang terdiri atas : blok interface telepon, detektor *handset*, detektor DTMF, Detektor pulsa, Counter dan 8 Bit latch buffer.



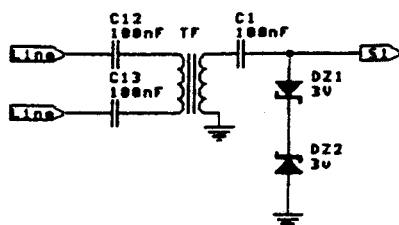
Gambar 3.7

Blok Diagram Perangkat Detektor Telepon

3.6.1 Rangkaian Interface Telepon.

Rangkaian dibuat paralel terhadap line telepon dan di-*coupling* oleh kapasitor untuk menahan arus/tegangan DC sewaktu *hook On*. Sewaktu *Hook Off* arus masuk ke kumparan primer dan diinduksikan ke kumparan sekunder. Karena level tegangan pada saluran telepon cukup tinggi diperlukan dua

dioda zener 3 volt baik level positif maupun level negatif untuk menjaga titik operasi dari komponen dalam rangkaian detektor. Diperlihatkan pada gambar 3.8.

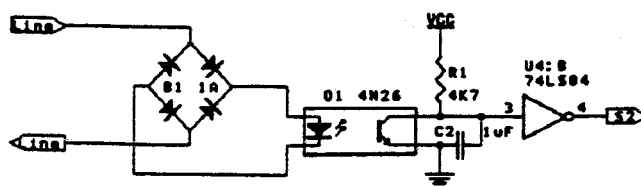


Gambar 3.8

Rangkaian Interface Telepon

3.6.2 Rangkaian Detektor Handset.

Rangkaian dibuat seri terhadap saluran telepon di-input-kan ke dioda bridge, output positif dihubungkan ke anoda optocoupler dan output negatif dihubungkan ke katoda optocoupler. Dan Output dari optocoupler di NOT kan untuk mendapatkan logika '1' apabila *handset* diangkat dan logika '0' apabila *handset* ditutup. Rangkaian detektor *handset* diperlihatkan pada gambar 3.9



Gambar 3.9

Rangkaian Detektor Handset

3.6.3 Rangkaian Detektor DTMF.

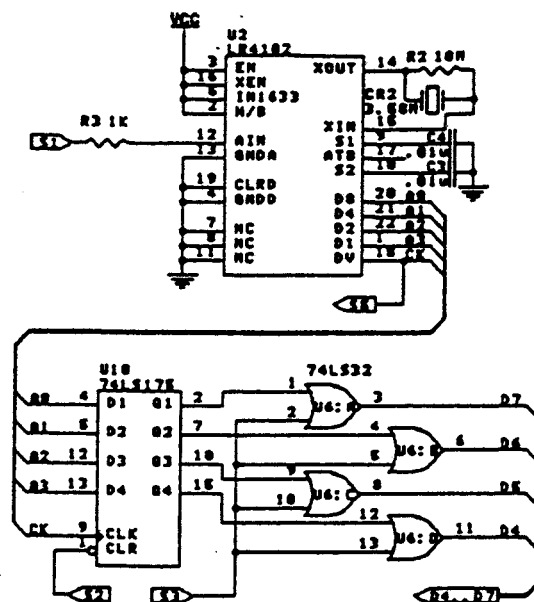
Rangkaian ini berfungsi untuk merubah sinyal frekuensi kedalam sinyal digital (BCD). Komponen utama dari rangkaian ini adalah IC LR4102 yang merupakan *dual tone multi frequency decoder* yang mempunyai output kode hexa dari frekuensi yang ditimbulkan sewaktu menekan tombol telepon sistem *tone* seperti yang diperlihatkan pada tabel 3.3.

Karena output dari IC LR4102 mempunyai *delay* tertentu diperlukan D flip-flop untuk menahannya, dan output dari D flip-flop di-OR-kan dengan output dari rangkaian Detektor pulsa 16 KHz menuju rangkaian Buffer Latch.

Tabel 3.3

Tabel Kebenaran dari IC LR4102

Digit	D ₈	D ₄	D ₂	D ₁
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	1	0	1	0
*	1	0	1	1
#	1	1	0	0
A	1	1	0	1
B	1	1	1	0
C	1	1	1	1
D	0	0	0	0



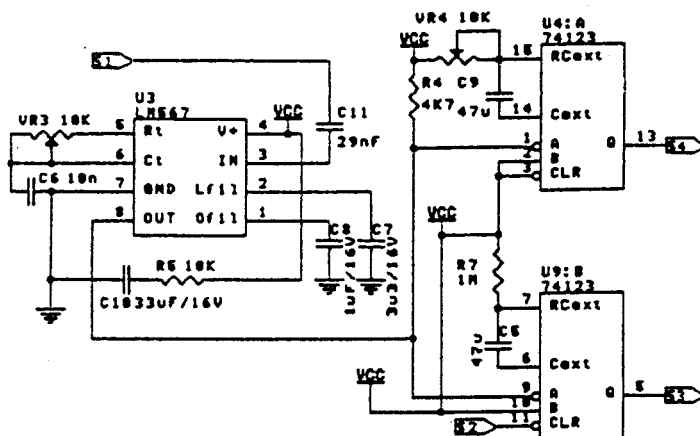
Gambar 3.10

Rangkaian Detektor DTMF

3.6.4 Rangkaian Detektor Pulsa.

Komponen yang digunakan untuk mendeteksi pulsa yang mempunyai frekuensi tengah 16 KHz adalah LM 567. Karena mudah diperoleh dan sedikit tambahan rangkaian pasifnya dan dapat dihubungkan dengan sumber tegangan 5 Volt. Output akan berubah dari level tinggi menjadi level rendah bila nada yang ditentukan ada pada inputnya.

Pada alat yang dibuat ini, frekuensi tengah yang akan dideteksi oleh LM 567 adalah 16 KHz. Rangkaian yang digunakan dapat dilihat pada gambar 3.11. Dan output dari LM 567 di-input-kan pada dua multivibrator. Pada gambar 3.11, S4 di set 125 mili detik berfungsi untuk mencegah efek *bouncing* dari LM 567 dan S5 di set lebih dari 3 menit berfungsi untuk menahan sinyal pulsa.



Gambar 3.11

Rangkaian Detektor Pulsa

Output rangkaian Tone Decoder ini akan berkondisi LOW bila terdapat sinyal 16 KHz yang masuk pada pin IN LM 567. Selain sinyal 16 KHz output LM 567 mempunyai kondisi HIGH.

Pemilihan frekuensi ini ditentukan oleh harga-harga dari VR1 dan C5. Untuk mendapatkan stabilitas temperatur yang tinggi VR1 disarankan antara 2 K Ohm dan 20 K Ohm. Dari data LM 567 didapat persamaan :

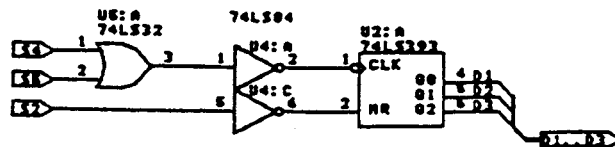
$$\text{Frekuensi tengah} = \frac{1,1}{VR1 \times C1}$$

$$\text{Ditentukan : } C1 = 10 \text{ nF}$$

$$\text{Maka, } 16 \text{ KHz} = \frac{1,1}{VR1 \times 10 \text{ nF}}$$

$$\text{di dapat } VR1 = 6,875 \text{ K Ohm}$$

3.6.5 Rangkaian Counter.



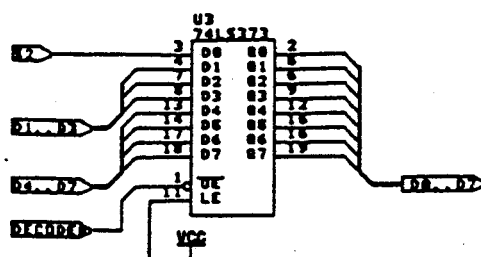
Gambar 3.12

Rangkaian Counter

Rangkaian ini berfungsi untuk membedakan informasi yang lama dengan informasi yang baru, baik dari rangkaian Detektor DTMF maupun rangkaian Detektor Pulsa, agar minimum sistem tidak membaca data yang sama beberapa kali. Dan rangkaian ini akan di clear saat *handset* di tutup, seperti yang digambarkan pada gambar 3.12.

3.6.6 Rangkaian Buffer Latch.

Rangkaian Buffer Latch ini berfungsi untuk menahan informasi (data) yang terbaru, yang akan dibaca oleh minimum sistem. Komponen utama pada rangkaian ini adalah IC 74LS373.



Gambar 3.13

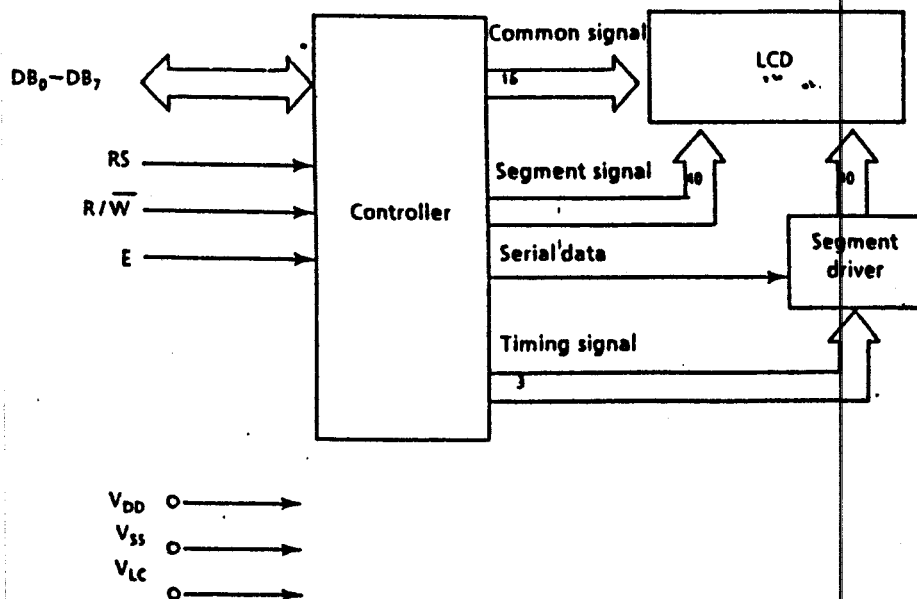
Rangkaian Buffer Latch

Yang mempunyai output impedansi tinggi saat OE diberi level tinggi dan output sama dengan input saat OE diberi level rendah (saat minimum sistem membaca data dari detektor telepon).

3.7 RANGKAIAN LCD.

Dot matrik LCD merupakan suatu modul peraga yang dapat dengan mudah di-interface-kan dengan mikrokontroler. Disamping mengkonsumsi daya yang rendah juga mempunyai keandalan yang tinggi.

Dot Matrik LCD DMC164 mempunyai ukuran relatif kecil tetapi mampu menampilkan 5 X 7 dot matrik + kursor sebanyak 16 karakter dan 4 baris. Modul ini mempunyai blok diagram sebagai berikut :



Gambar 3.14

Blok Diagram dari LCD

Tabel 3.4
I/O Terminal Modul LCD

Digit	Symbol	Fungsi
1	VSS	Gnd
2	VDD	Vcc = 5 V
3	Vo	Contras
4	RS	Reg. Select
5	R/W	R = 1 , W = 0
6	E	Enable
7	DB0	Data/Inst.
8	DB1	
9	DB2	
10	DB3	
11	DB4	
12	DB5	
13	DB6	
14	DB7	

Dan mempunyai 14 pin I/O terminal seperti yang diperlihatkan pada tabel 3.4.

Pada modul DMC164 (4X16 karakter) mempunyai ram internal sebanyak 80 byte. Dan address untuk menampilkan data pada modul ini adalah sebagai berikut :

- Baris 1, address mulai 00H sampai 0FH
- Baris 2, address mulai 40H sampai 4FH
- Baris 3, address mulai 10H sampai 1FH
- Baris 4, address muali 50H sampai 5FH

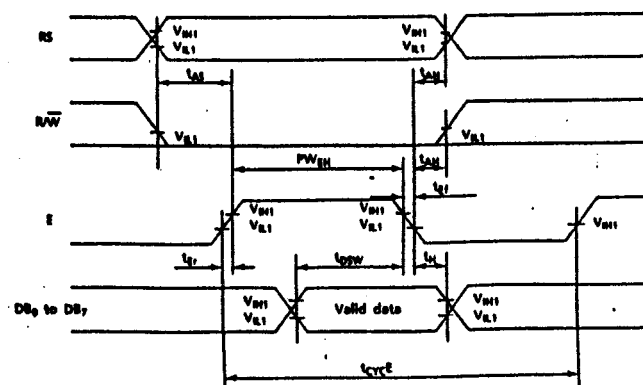
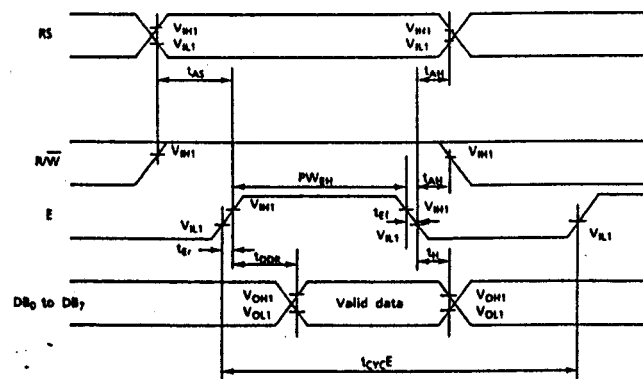
Operasi dasar dari dot matrik LCD DMC164 terdiri dari empat kondisi yang ditentukan oleh pemilihan dari register-nya yaitu : kondisi instruksi pada modul LCD, kondisi modul siap menerima instruksi, kondisi tulis data dan kondisi baca data seperti yang diperlihatkan oleh tabel 3.5



Tabel 3.5

Dasar Operasi Modul LCD

RS	R/W	Operation
0	0	Tulis Instruksi
0	1	Baca Modul Ready/Not
1	0	Tulis Data
1	1	Baca Data



Gambar 3.15

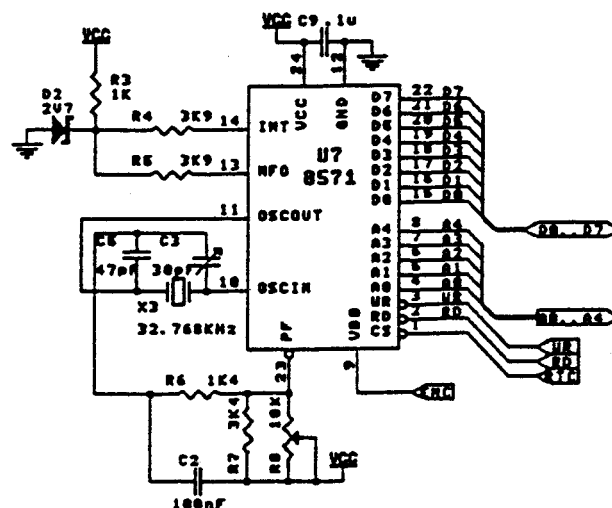
Time Diagram Operasi Read dan Write

Dalam operasi baca dan tulis antara mikrokontroler dengan modul LCD, mempunyai timing diagram seperti yang diperlihatkan pada gambar 3.15. ini perlu diketahui untuk mendapatkan rangkain interface antara mikrokontroler dengan modul LCD.

3.8 RANGKAIAN RTC.

Komponen yang digunakan untuk rangkaian Real Time Clock adalah DP8571A. Banyak fasilitas yang disediakan pada komponen ini (lihat lembaran data), tetapi dalam perencanaan alat Penghitung Pulsa ini RTC cukup di set sebagai berikut :

- Satu generator
- Baterai *back up*
- Frekuensi kristal 32.768 KHz
- *Mode 24 Hour*
- *Read Mode*
- Dapat melakukan penge-set-an RTC



Gambar 3.16

Rangkaian Real Time Clock

Untuk mendapat fungsi diatas pin INT dan pin MFO di hubungkan dengan sumber tegangan yang besar levelnya dibawah level V_{BB} . seperti yang diperlihatkan pada gambar 3.16. dan fungsi-fungsi lain ditentukan pada inisialisasi (*software*) pada register kontrolnya

BAB IV

PERENCANAAN DAN PEMBUATAN PERANGKAT LUNAK

Perangkat lunak (program) dalam perencanaan dan pembuatan alat ini terdiri atas dua bagian yaitu program pada minimum sistem dan program pada komputer IBM PC. Pada minimum sistem ditulis dalam bahasa assembly 8031, kemudian dengan *cross assembler* dirobah dalam bahasa mesin dan dimasukkan ke EPROM. Sedangkan program pada komputer menggunakan Turbo Pascal 6 dan Btrieve.

4.1 PROGRAM PADA MINIMUM SISTEM

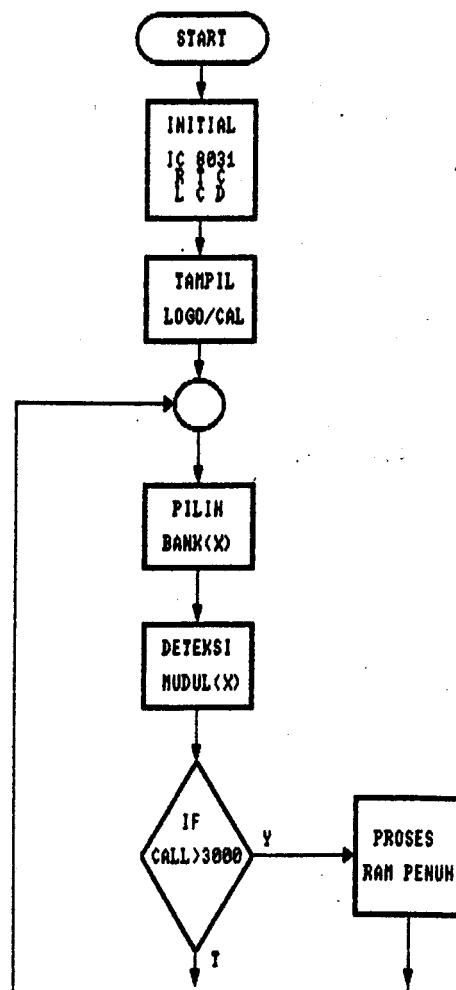
Program pada minimum sistem lebih bersifat mengendalikan peralatan (*hardware*) untuk memenuhi spesifikasi yang telah direncanakan (*proposal*). Adapun spesifikasi yang direncanakan dilukiskan pada gambar 4.1, yaitu flowchart Alat Penghitung Pulsa. Kemudian dilanjutkan penjelasan pada gambar 4.2, subflowchart inisialisasi LCD, pada gambar 4.3, subflowchart Deteksi modul(X), dan pada gambar 4.4, subflowchart operasi menu.

4.1.1 Inisialisasi

Perintah yang pertama sekali dilakukan alat adalah proses inisialisasi pada IC 8031 kemudian inisialisasi pada komponen-komponen yang lain. Pada IC 8031, kondisi awal (setelah reset ditekan) register-registernya sudah ditentu-

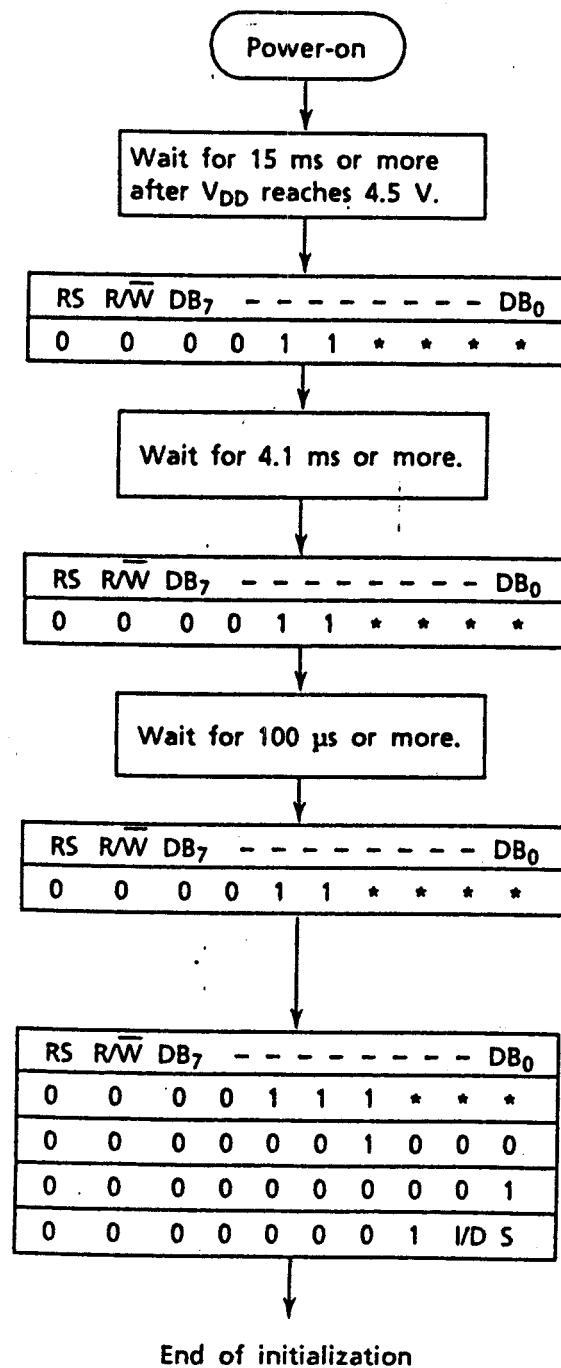
kan isinya, seperti register SP (*stack pointer*) yang alamat ditentukan 07H. Setelah melakukan itu mulai membaca program di EPROM. Program pertama adalah inisialisasi, untuk IC 8031 address SP di ganti menjadi 6DH

Dan inisialisasi pada komponen RTC (Real Time Clock), yaitu pengisian pada register kontrolnya supaya komponen RTC bekerja berdasarkan spesifikasi yang direncanakan. Inisialisasi pada modul LCD mempunyai prosedur tersendiri yang diterangkan pada gambar 4.2



Gambar 4.1

Flowchart Alat Penghitung Pulsa Telepon



Gambar 4.2

Flowchart Inisialisasi LCD

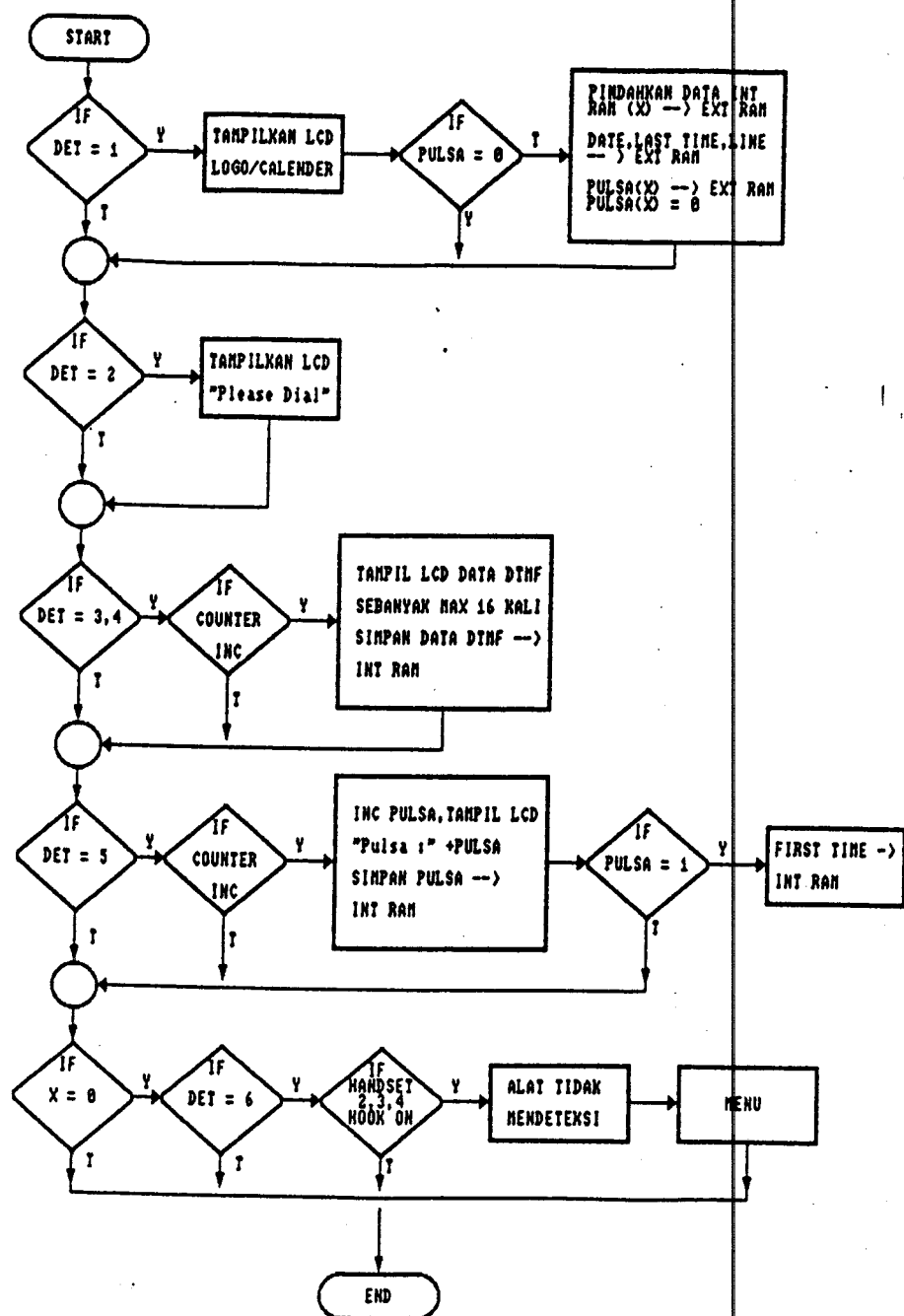
4.1.2 Program Aplikasi

Setelah program inisialisasi dijalankan, baru masuk pada program aplikasi. Pada program aplikasi, memori data internal yang mempunyai kapasitas 128 byte digunakan pada sistem operasi alat sedangkan memori data eksternal digunakan hanya untuk penyimpanan data apabila terjadi suatu *call*.

IC 8031 yang mempunyai empat bank data yang masing-masing terdiri dari delapan register (R0 .. R7). Karena sistem operasi alat ini direncanakan untuk memonitor empat saluran telepon, maka satu bank dialokasikan untuk satu saluran telepon. Jadi sebelum mendeteksi modul(X) terlebih dahulu memilih bank(X). Sedangkan memori data internal yang lain digunakan untuk menampung data sementara, sebelum masuk ke memori data eksternal.

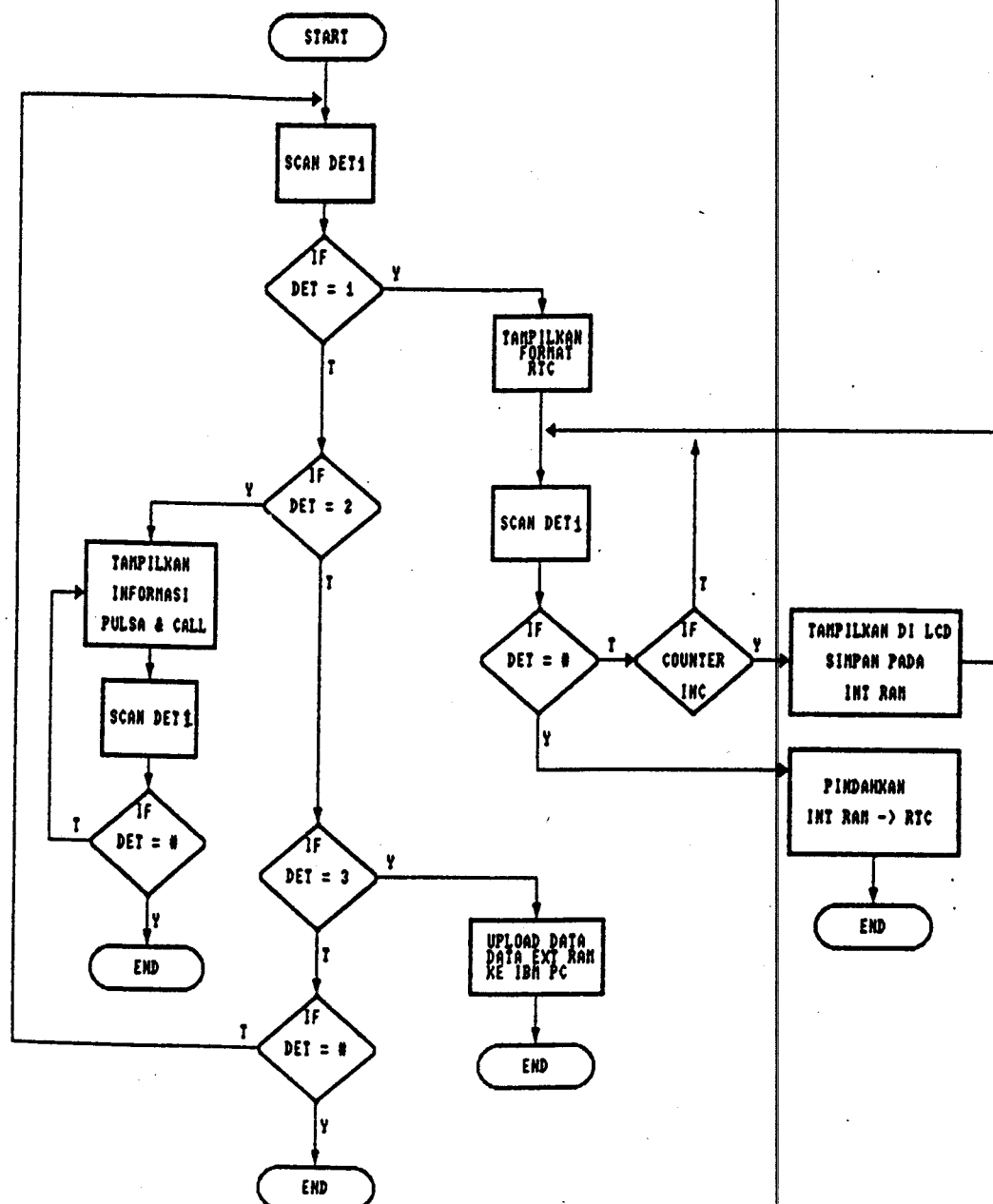
Operasi rutin yang dilakukan alat ini terlihat pada gambar 4.2 yaitu flowchart deteksi modul(X). Dimana detektor telepon akan memberikan informasi seperti tabel 3.1, dan mikrokontroler secara berulang-ulang (*loop*) membaca data dari tiap-tiap detektor dan mengolahnya mengikuti alirannya flowchart.

Pada proses ram penuh atau proses menu, operasi rutin dihentikan, program di alihkan pada detektor_1 lewat *keypad*-nya telepon yang ditetapkan sebagai *console*. Pada proses ini mikrokontroler selalu menunggu perintah dari operator (*scan det_1*), sampai keluar dari proses ini mikrokontroler kembali mengadakan proses *looping*.



Gambar 4.3

Subflowchart Deteksi Modul (X)



Gambar 4.4

Subflowchart Proses Menu

4.2. PROGRAM PADA KOMPUTER IBM PC

Program pada IBM PC adalah proses penerimaan data dari port serial kedalam memori kemudian diolah kedalam file, setelah itu diolah untuk mendapatkan laporan:

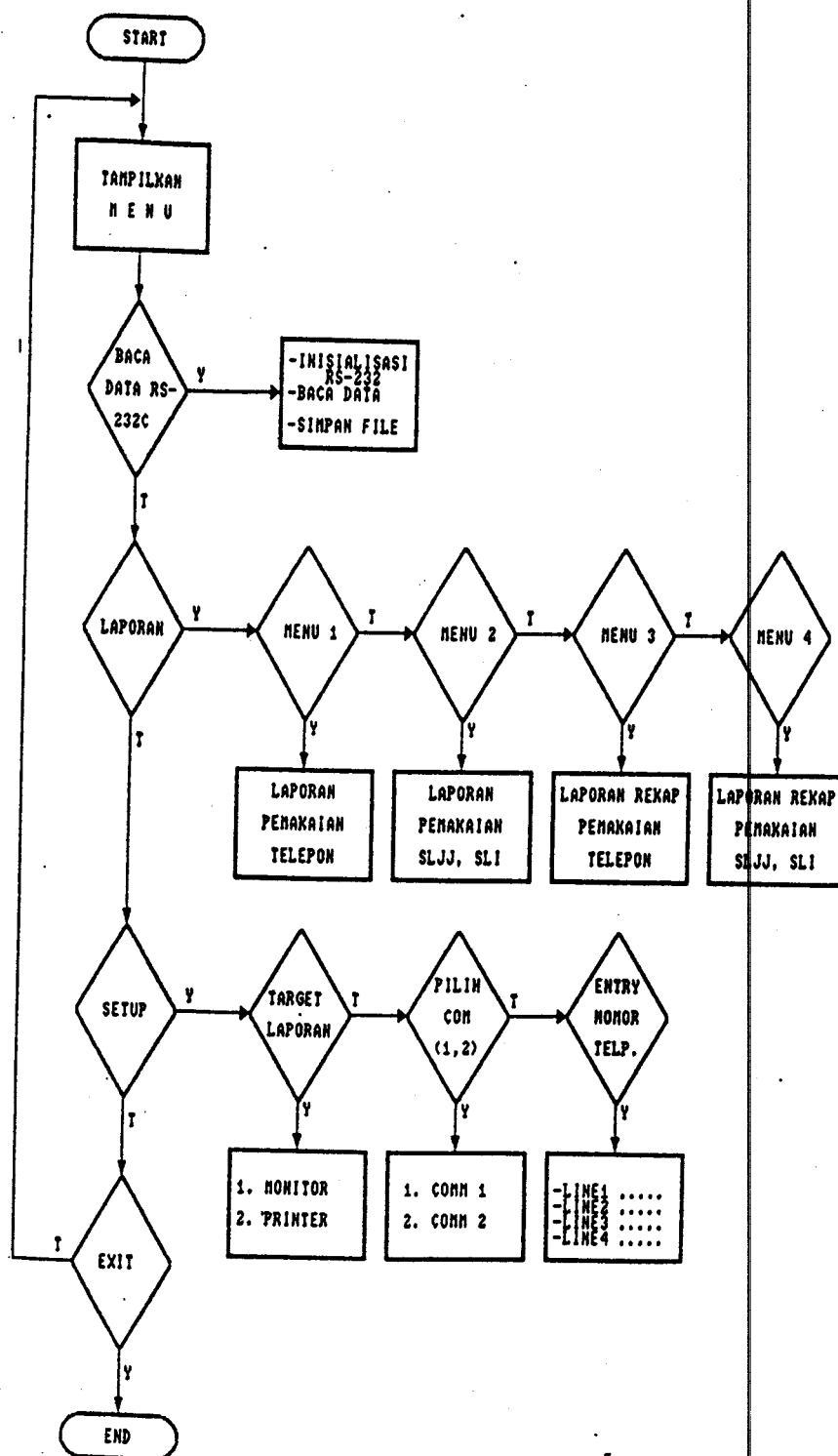
- Laporan Pemakain Telepon
- Laporan Pemakaian SLJJ & SLI
- Laporan Rekap Pemakaian Telepon
- Laporan Rekap Pemakaian SLJJ & SLI

Flowchart program IBM PC dari modul ini adalah diperlihatkan pada gambar 4.5. Pada proses baca data dari RS-232C diuraikan pada subflowchart program baca data RS-232C ditekankan pada gambar 4.6.

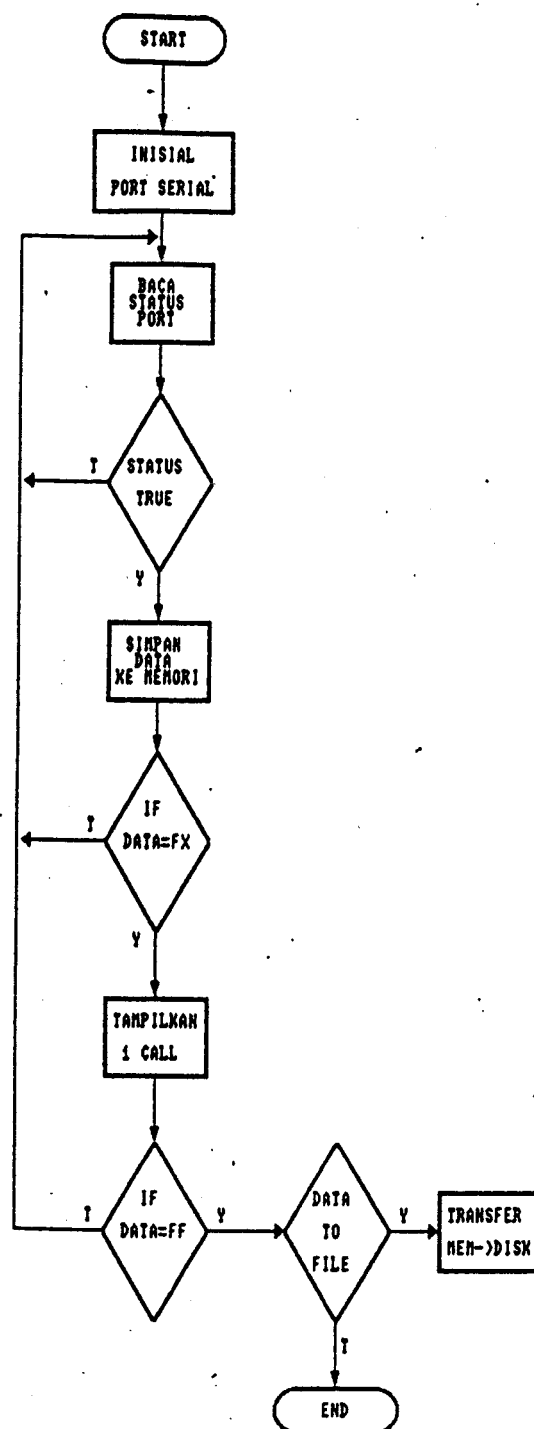
Proses pembacaan port serial adalah dengan memanfaatkan interrupt 14 H. Pertama adalah melakukan inisialisasi dengan INT 14H fungsi 0H yaitu untuk mengeset baudrate sebesar 300 bps kemudian baru melakukan proses penerimaan data dengan INT 14H fungsi 02H, data yang masuk berada pada register AL.

Apabila data yang masuk '1111xxxx' menandakan data satu *call* telah selesai dikirim dari minimum sistem, bila data yang masuk '11111111' berarti semua data pada eksternal ram minimum sistem telah selesai dikirim ke IBM PC.

Pertama program di jalankan, port serial yang aktif adalah com 1 dan output laporan yang aktif adalah monitor, kondisi ini ditulis pada kanan bawah dari monitor. Kalau diinginkan pilihan lain, dengan menjalankan modul setup dan memilih pilihan yang diinginkan.



Gambar 4.5
Flowchart Program IBM PC



Gambar 4.6

Subflowchart Proses Baca Data Serial

BAB V

UJI COBA ALAT

Setelah melalui tahapan perencanaan dan pembuatan alat baik perangkat keras maupun perangkat lunaknya. Maka dilakukan uji coba untuk membuktikan kemampuan dari alat yang direncanakan.

Pengujian alat terdiri dari pengujian pada modul detektor dengan pengamatan pada 8 bit data yang dibaca mikrokontroler. Pengujian pada minimum sistem yang meliputi sinyal ALE, sinyal PSEN, rangkaian dekoder, RTC dan LCD dan pengujian dilakukan pada hubungan komunikasi serial lewat RS-232C antara mikrokontroler 8031 dengan IBM PC.

5.1 Pengujian Rangkain Detektor.

Rangkaian detektor dapat diuji tersendiri. Yaitu pada input rangkaian dengan memasang saluran telepon yang mempunyai fasilitas *pay station* pada output rangkaian dengan memberi catu daya (pada pin 10 dan pin 11) dan pin 9 diberi logik '0' dan output dari rangkaian detektor (pin 1 sampai pin 8) diuji menggunakan *logic probe*.

Pertama yang diuji adalah D0 yang menandakan *handset* diangkat / ditutup, selanjutnya dilakukan pengujian terhadap nomor yang di tekan pada *keypad* pesawat telepon. Pada operasi ini akan mempengaruhi D1,D2,D3 sebagai counter untuk setiap kali tombol ditekan, dan D4,D5,D6,D7 sebagai informasi nomor yang ditekan.

Setelah memasukan beberapa nomor kemudian lawan bicara mengangkat *handset*, sentral telepon yang mempunyai fasilitas *pay station* akan mengirim sinyal pulsa ke detektor secara periodik. Pada operasi ini D1,D2,D3 akan bekerja sebagai counter pulsa dan D4,D5,D6,D7 harus memberikan data 1,1,1,1 sampai *handset* ditutup. Apabila ada sinyal pulsa dari sentral tetapi D4,D5,D6,D7 tidak 1,1,1,1 maka perlu diadakan kalibrasi pada VR1. Dan dari kalibrasi, besarnya tahanan VR1 = 6,8 K Ohm.

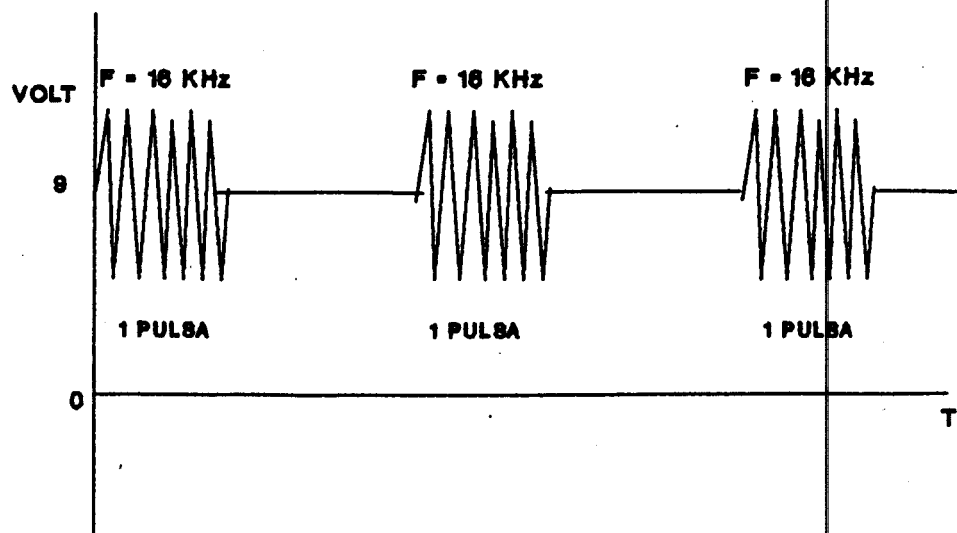
5.2 Pengujian Pada Rangkaian Minimum sistem 8031

Pengujian pada rangkaian minimum sistem dapat dilakukan pada perangkat keras dan perangkat lunak. Hal yang pertama yang dilakukan adalah melihat sinyal ALE dan PSEN dari 8031 pada osiloskop.

Setelah itu baru dilakukan uji coba pada operasi baca-tulis pada ram, baca-tulis pada LCD dan baca-tulis pada RTC. Terakhir dilakukan uji-coba dilakukan pada komunikasi serial. Pada uji-coba pada komunikasi serial, baud rate diatur secara *software* baik pada mikrokontroler maupun pada IBM PC. Pada uji-coba ini baud rate diatur 300 bps dan panjang kabel 10 meter, tidak ada kesalahan selama pengiriman.

5.3 Pengukuran Sinyal Pulsa.

Sinyal Pulsa pada saluran *pay station*, pada pengukuran pada sentral telepon STDIK di PT.INTI (Persero) mempunyai frekuensi 16 KHz yang di kirim sentral telepon dalam selang waktu 100 mili detik dan seperti dilukiskan pada gambar 5.1



Gambar 5.1

Pengukuran Sinyal *Pay Station*

BAB VI

PENUTUP

Setelah dilakukan uji coba alat monitoring pemakaian pulsa telepon yang di hubungkan pada ke IBM PC lewat port serial dapat ditarik kesimpulan sebagai berikut :

1. Penggunaan mikrokontroler 8031 sangat menguntungkan sebagai pusat pengontrolan karena memiliki beberapa komponen didalam serpih, timer/counter, ram, I/O port paralel maupun serial sehingga rangkaian jadi sederhana, handal dan kecepatan eksekusi relatif tinggi serta harga relatif murah.
2. Alat dapat bekerja dengan baik, bila pemakaian dilakukan mengikuti aturan dari PT.TELKOM secara langsung tanpa operator.
3. Alat ini bisa melakukan monitoring pulsa telepon apabila saluran telepon yang digunakan menggunakan fasilitas *pay station* dari PT.TELKOM yaitu berupa sinyal 16 KHz, dan sistem telepon menggunakan sistem *tone* pada sentral digital otomatis.
4. Penghitungan pulsa berdasarkan sinyal pulsa yang dikirim dari sentral telepon yang dikumulatikan.
5. Alat ini direncanakan untuk pemakaian 24 jam. Pada alat ini ditambahkan baterai *recharge* untuk mengatasi putusnya aliran listrik.

6. Alat ini hanya akan melakukan pencatatan pada proses *outgoing*. Pada proses *incomming* sistem telepon tetap bekerja tetapi tidak di monitor.
7. Alat tidak melakukan monitoring pulsa pada saat sistem Menu diaktifkan pada detektor_1.

DAFTAR PUSTAKA

1. Intel, MCS-51 Family of single chip mikrocomputer User's Manual, Intel Corp., santa Clara U.S.A., 1981.
2. Hall, Douglas V., Microprosesor and Interfacing : Proqraming, and Hadware, McGraw-Hill Inc., Singapure, 1986.
3. Texas Instrument, The TTL Data Book, Texas Instrument, Texas Instrument, Texas, 1976.
4. Hartono Partoharsodjo., Bahasa Assembly, penerbit PT Elex Media Kompotindo, Jakarta 1991.
5. Signetics Coporation, Linier LSI Data and Application Manual 1988, Signetic Corporation, 1985.
6. John Uffenbeck, Microcomputers and Microprosesors, Second Edition, Prentice-Hall International, Inc. 1985.
7. Kenneth J.Ayala, The 8051 Microcontroller, Architektur, Proqraming, and Applications, West Publishing Company, 1991.

PETUNJUK PEMAKAIAN ALAT / PROGRAM

Untuk mengoperasikan alat Penghitung Pulsa Telepon Digital Otomatis ini dapat dilakukan secara *stand alone* atau dihubungkan serial ke IBM PC lewat RS-232C kalau diperlukan pengolahan data lebih lanjut.

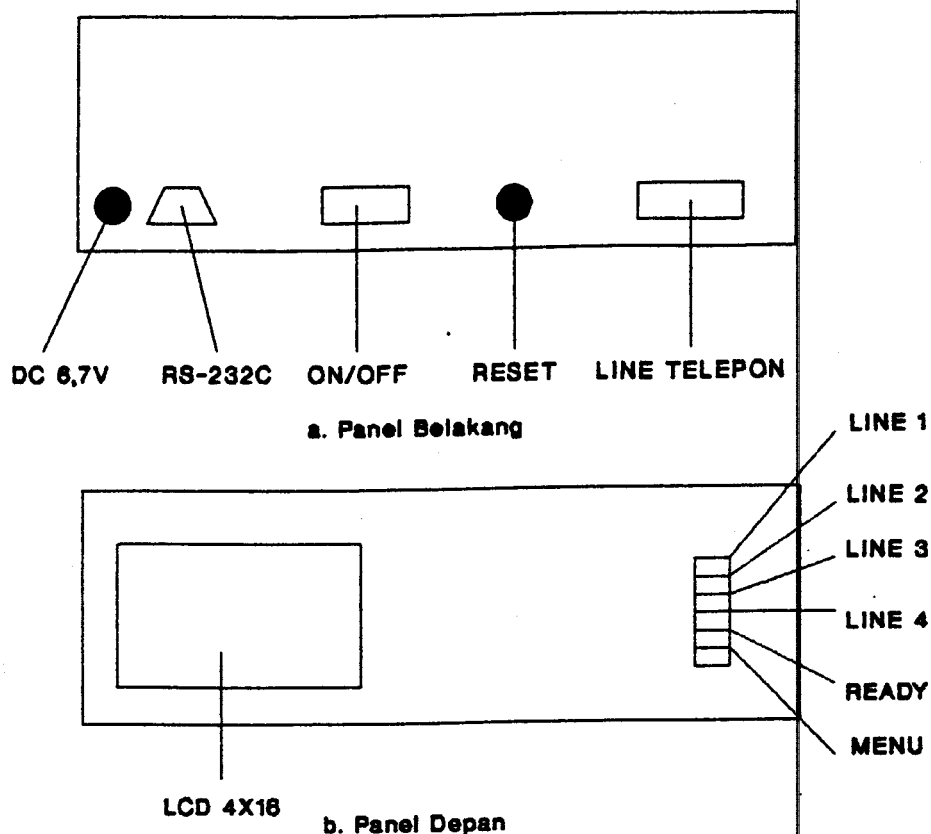
1. Petunjuk Pemakain Alat (Minimum Sistem).

Sebelum alat ini di operasikan perlu diketahui fungsi-fungsi dari panel belakang dan panel depan. Pada panel belakang terdapat sambungan kabel dan saklar, pada panel depan terdapat peraga LCD dan indikator Led.

Pada panel belakang seperti gambar A.1.a terdapat kabel untuk DC power supply sebesar 6,7 Volt, soket DB 9 untuk RS-232C ke IBM PC, switch ON/OFF untuk menghidupkan alat, tombol Reset untuk mereset minimum sistem saat pertama switch di-ON-kan dan terakhir kumpulan kabel telepon dari modul detektor untuk satu saluran berisi empat kabel (pin), pin_1, pin_2 dihubungkan ke pesawat telepon, pin_3, pin_4 dihubungkan kesaluran telepon.

Pada panel depan terdapat display LCD dan indikator Led untuk mengetahui aktifitas dari alat Penghitung Pulsa Telepon yang diperlihatkan pada gambar A.1.b. Pada LCD 4X16 maksudnya peraga ini mempunyai 4 baris dan tiap baris terdiri dari 16 karakter dot matrik. Pada aplikasinya tiap baris LCD mewakili aktifitas satu detektor telepon. Empat

Led warna biru menandakan kondisi *handset* (angkat/tutup) tiap telepon, dan dua Led warna merah menandakan kondisi Ready dan Menu. Apabila Led merah atas yang hidup berarti alat dalam kondisi Ready, yaitu alat siap memonitor empat saluran telepon. Bila Led merah bawah yang hidup alat dalam kondisi Menu, kondisi ini terjadi apabila ram eksternal pada minimum sistem sudah penuh atau telepon detektor_1 masuk dalam operasi Menu.



Gambar A.1
Panel Belakang dan Depan Alat

Untuk bisa masuk dalam operasi menu, adalah dengan mengangkat handset telepon detektor_1 kemudian tekan tombol '#' maka LCD menampilkan :

```
"      # MENU #      "
```

```
" 1.Set Date&Time"
```

```
" 2.Information "
```

```
" 3.Upload to PC "
```

Untuk menu 1. Set Date&Time, berfungsi untuk men-set tanggal dan jam Real Time Clock (RTC). Operator tinggal memasukan angka sesuai dengan format yang sudah ditampilkan. Untuk mengakhiri dan menyimpan data yang dimasukan tekan '#'

```
"      # MENU #      "
```

```
" 1.Set Date&Time"
```

```
"      dd-mm-yy      "
```

```
"      hh:mm:ss      "
```

Untuk menu 2.Information, berfungsi untuk menampilkan jumlah total pulsa telepon dan jumlah total call yang sudah direkam oleh alat. Untuk keluar tekan tombol "#".

```
"      Info Pulsa      "
```

```
"-----"
```

```
" Pulsa :              "
```

```
" Call  :              "
```

Untuk menu 3.Upload Data To PC, berfungsi untuk mengirim data dari ram eksternal lewat port serial RS-232C ke IBM PC dan sekaligus menghapus data yang ada di ram eksternal. Setelah selesai operasi pengiriman, operasi langsung pindah pada kondisi Ready.

Apabila kondisi ram eksternal mulai penuh maka kondisi

Led merah (indikator Ready dan indikator Menu) akan berkedip-kedip sampai data dari ram eksternal di kirim ke komputer IBM PC. Pada kondisi ini ram eksternal masih mampu menampung data sebanyak 200 *call*.

2. Petunjuk Pemakaian Program (IBM PC).

Pada bagian ini akan diterangkan fungsi dari masing-masing menu beserta fasilitas-fasilitas yang telah disediakan. Pada Menu utama terdapat beberapa modul :

1. Baca Data RS-232C. Modul ini bertujuan mengambil data yang dikirim dari alat (minimum sistem) ke IBM PC lewat port serial RS-232C. Sebelum modul ini di operasikan pastikan serial com (COM1, COM2) yang tersambung dengan setting pada program (ditampilkan pada kanan bawah monitor). Kalau keliru, rubah dengan modul Setup Serial.
2. Laporan, modul ini memberikan laporan, pemakaian telepon, rekap pemakaian telepon, pemakaian SLJJ dan SLI, rekap pemakaian SLJJ dan SLI. Sebelum modul ini dioperasikan pastikan output laporan (monitor atau printer) (ditampilkan pada kanan bawah monitor). Dapat dirubah pada Setup Laporan.
3. Setup, modul ini berfungsi untuk merubah serial comm, output laporan, dan pengisian nomor telepon pada 4 line telepon.

Pada modul laporan terdapat empat pilihan laporan, untuk mendapatkan laporan perlu memasukan masa periode atau

tanggal awal dan tanggal akhir. Dan untuk laporan pemakaian SLJJ & SLI dan rekap SLJJ & SLI, perlu memilih line (nomor telepon yang digunakan) dengan memilih satu dari empat nomor.

FORMAT LAPORAN / MENU

LAPORAN PEMAKAIAN TELEPON

SALURAN : 1234567890

PERIODE : dd-mm-yyyy - dd-mm-yyyy

TANGGAL	NOMOR	MULAI	LAMA	PULSA	HARGA (Rp.)
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
JUMLAH				12345	Rp.99.999.999,-

LAPORAN PEMAKAIAN SLJJ & SLI

PERIODE : dd-mm-yyyy - dd-mm-yyyy

LINE/TANGGAL	NOMOR	MULAI	LAMA	PULSA	HARGA (Rp.)
1234567890					
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
1234567890					
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
1234567890					
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
1234567890					
dd-mm-yyyy	1234567890123456	hh:mm:ss	hh-mm-ss	12345	99.999.999,-
JUMLAH				12345	99.999.999,-

LAPORAN REKAP PEMAKAIAN TELEPON

SALURAN : 1234567890
 PERIODE : dd-mm-yyyy - dd-mm-yyyy

TANGGAL	PULSA	HARGA (Rp.)
dd-mm-yyyy	12345	99.999.999,-
dd-mm-yyyy	12345	99.999.999,-
dd-mm-yyyy	12345	99.999.999,-
dd-mm-yyyy	12345	99.999.999,-
dd-mm-yyyy	12345	99.999.999,-
dd-mm-yyyy	12345	99.999.999,-
Jumlah	12345	99.999.999,-

LAPORAN REKAP PEMAKAIAN SLJJ & SLI

PERIODE : dd-mm-yyyy - dd-mm-yyyy

LINE	PULSA	HARGA (Rp.)
1234567890123456	12345	99.999.999,-
1234567890123456	12345	99.999.999,-
1234567890123456	12345	99.999.999,-
1234567890123456	12345	99.999.999,-
Jumlah	12345	99.999.999,-

MENU UTAMA

BACA DATA RS-232C
LAPORAN / PERIODE
SET UP & ENTRY LINE
KEMBALI KE DOS

CRT COM1

MENU UTAMA

BACA DATA RS-232C

LA
SE
KE

Scanning RS-232

Nomor	Date	FTime	Pulsa	LTime	Line
-------	------	-------	-------	-------	------

CRT COM1

MENU UTAMA	
BACA DATA RS-232C	
LAPORAN / PERIODE	Laporan/Periode
SET UP & ENTRY LI	→ Pemakaian Pulsa Telepon
KEMBALI KE DOS	Pemakaian SLJJ & SLI
	Rekap Pulsa Telepon
	Rekap SLJJ & SLI
	Exit

Tanggal Awal	: [01-07-1994]	314770
Tanggal Akhir	: [01-08-1995]	501501
Saluran (1,2,3,4)	: []	595597
		360585

Esc = Batal F2 = Proses

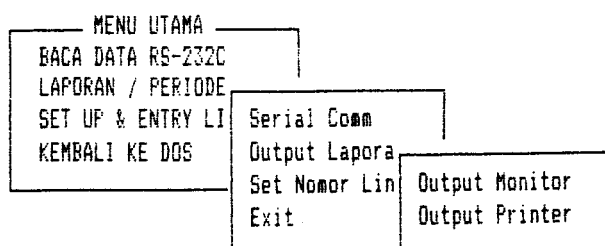
CRT COM1

MENU UTAMA	
BACA DATA RS-232C	
LAPORAN / PERIODE	Laporan/Periode
SET UP & ENTRY LI	→ Pemakaian Pulsa Telepon
KEMBALI KE DOS	Pemakaian SLJJ & SLI
	Rekap Pulsa Telepon
	Rekap SLJJ & SLI
	Exit

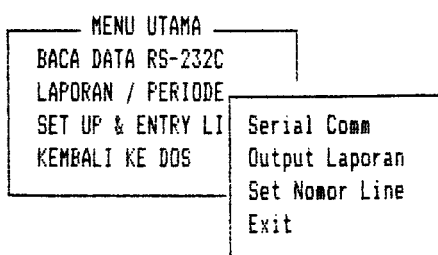
Tanggal Awal	: []
Tanggal Akhir	: []

Esc = Batal F2 = Proses

CRT COM1



CRT COM1



— Edit Line Telepon —

Line (1,2,3,4)	:	[]
Nomor Telepon	:	[]

Esc = Batal F2 = Proses

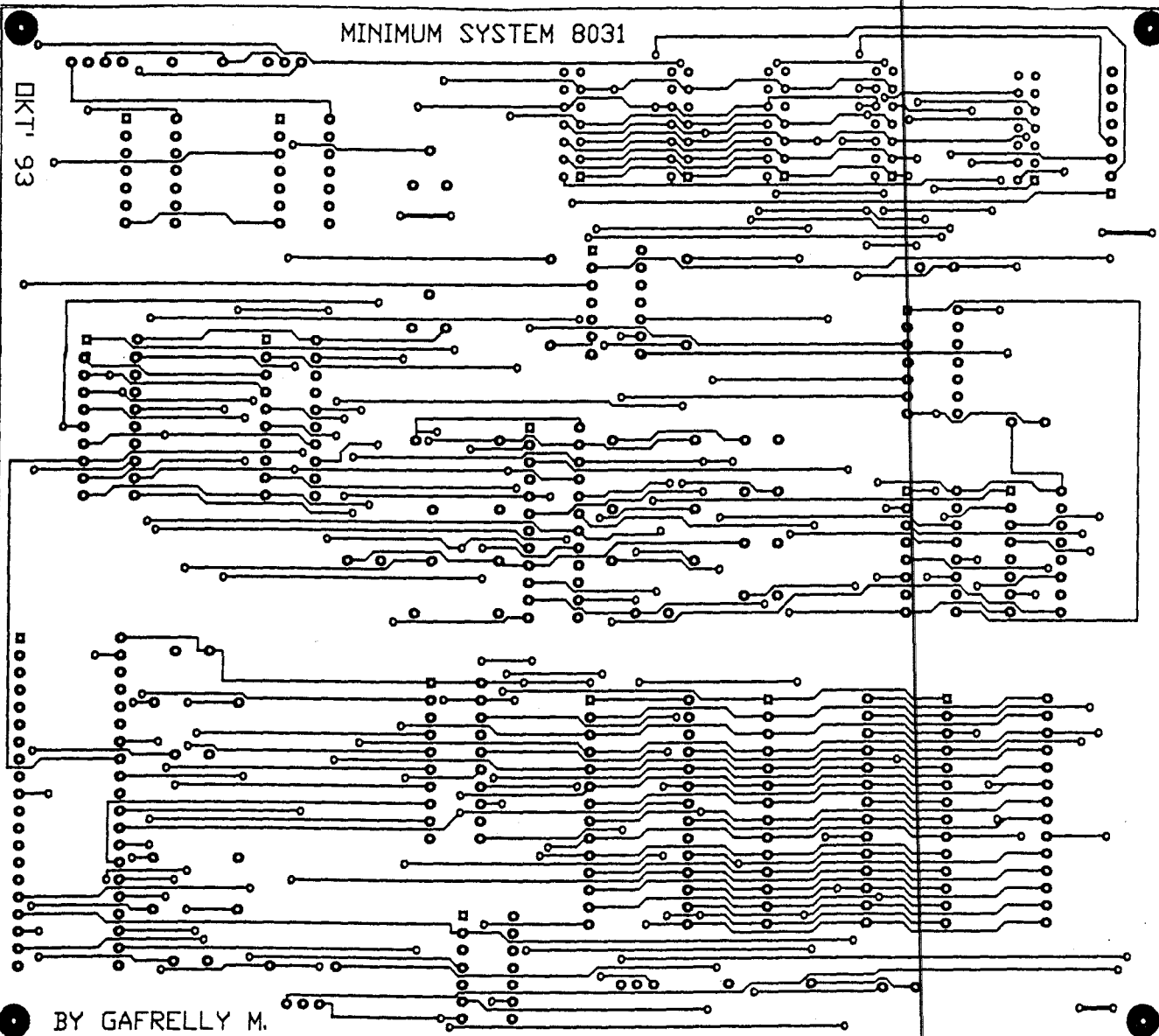
CRT COM1

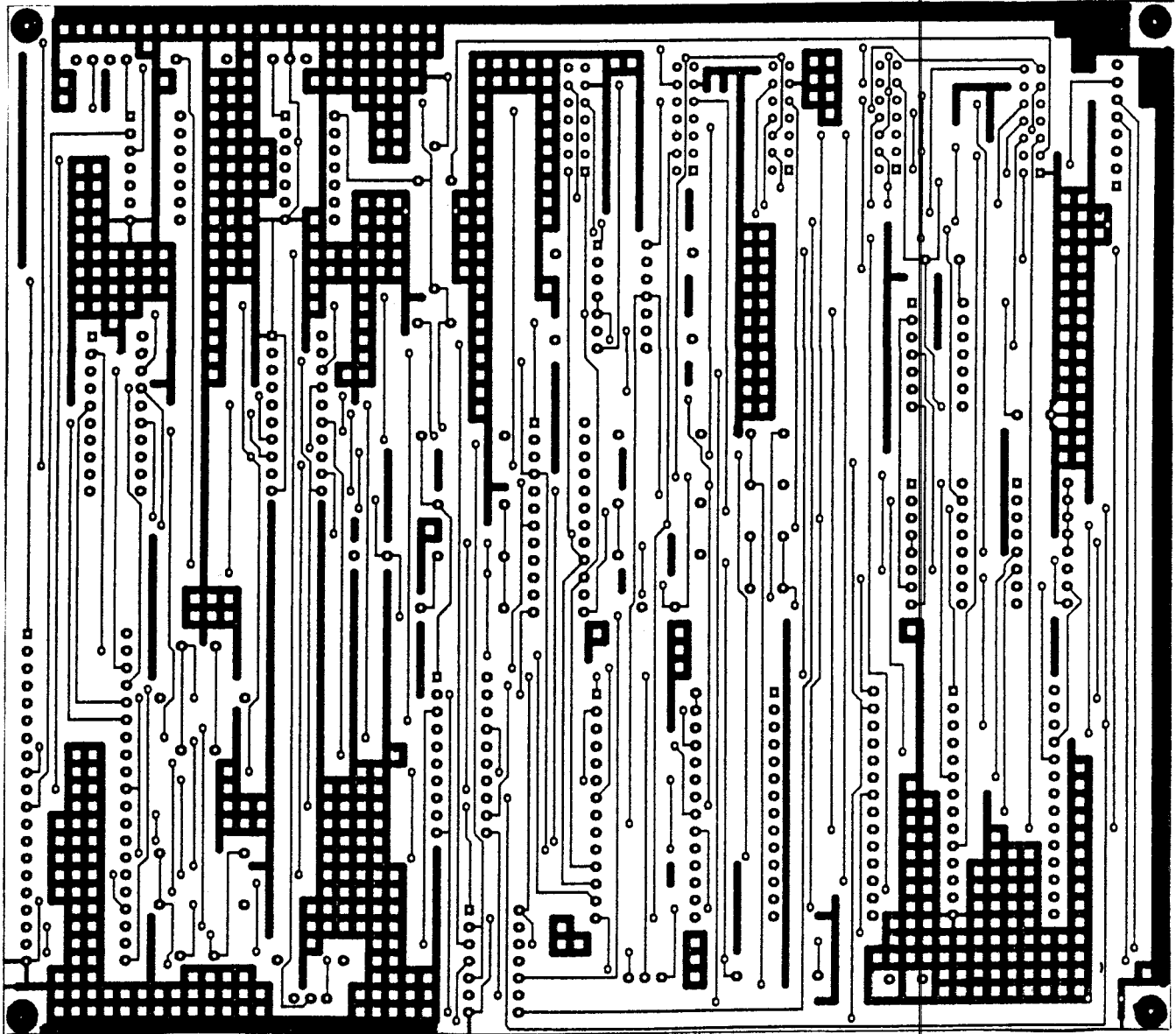


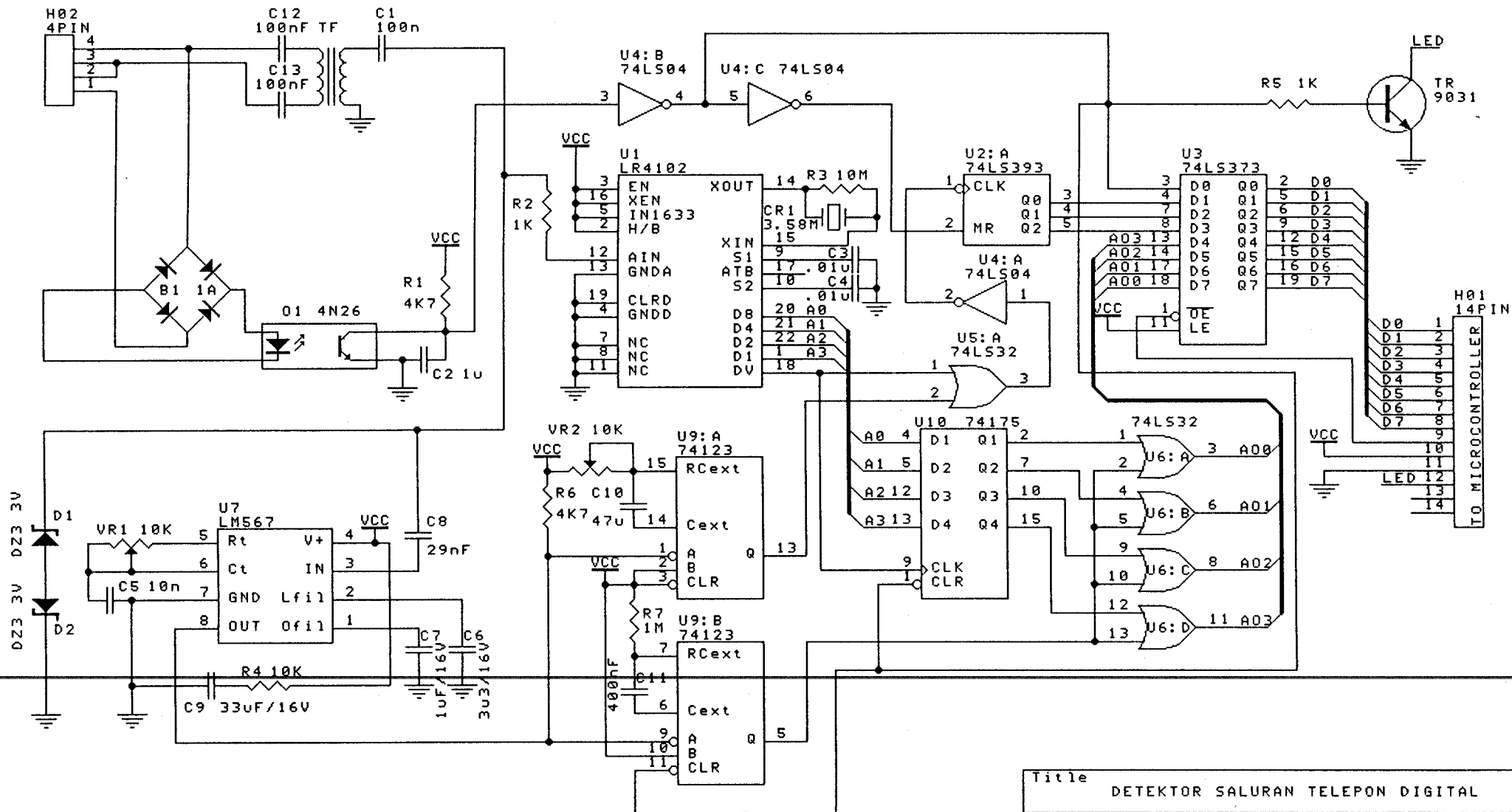
MILIK PERPUSTAKAAN
INSTITUT TEKNOLOGI
SEPULUH - NOPEMBER

MINIMUM SYSTEM 8031

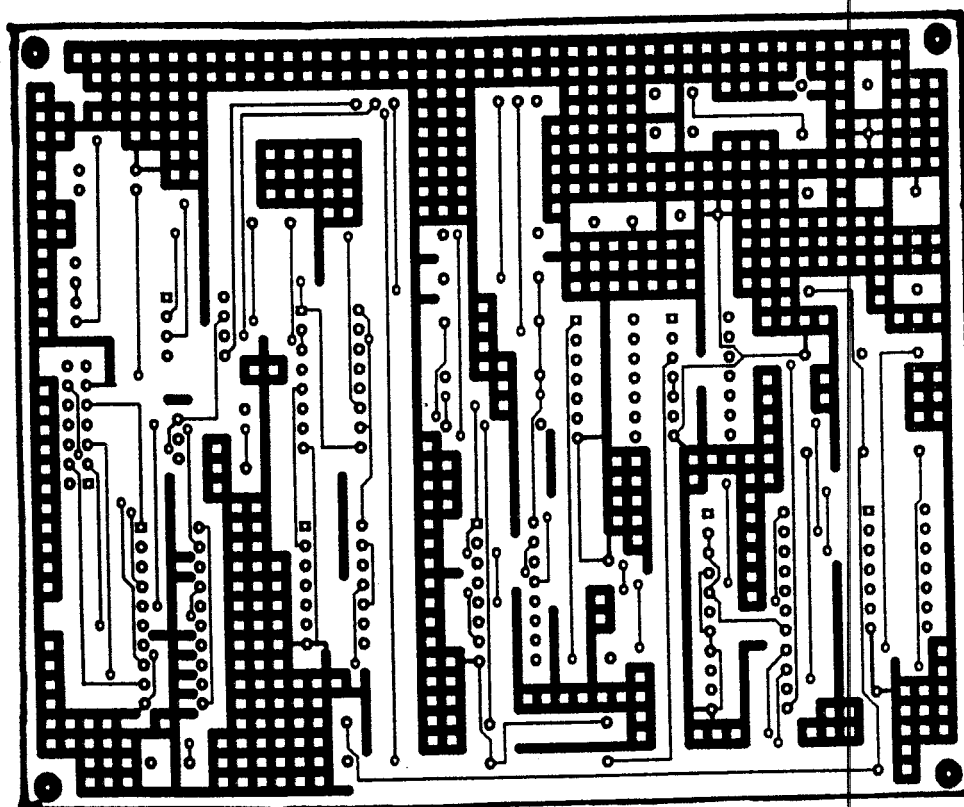
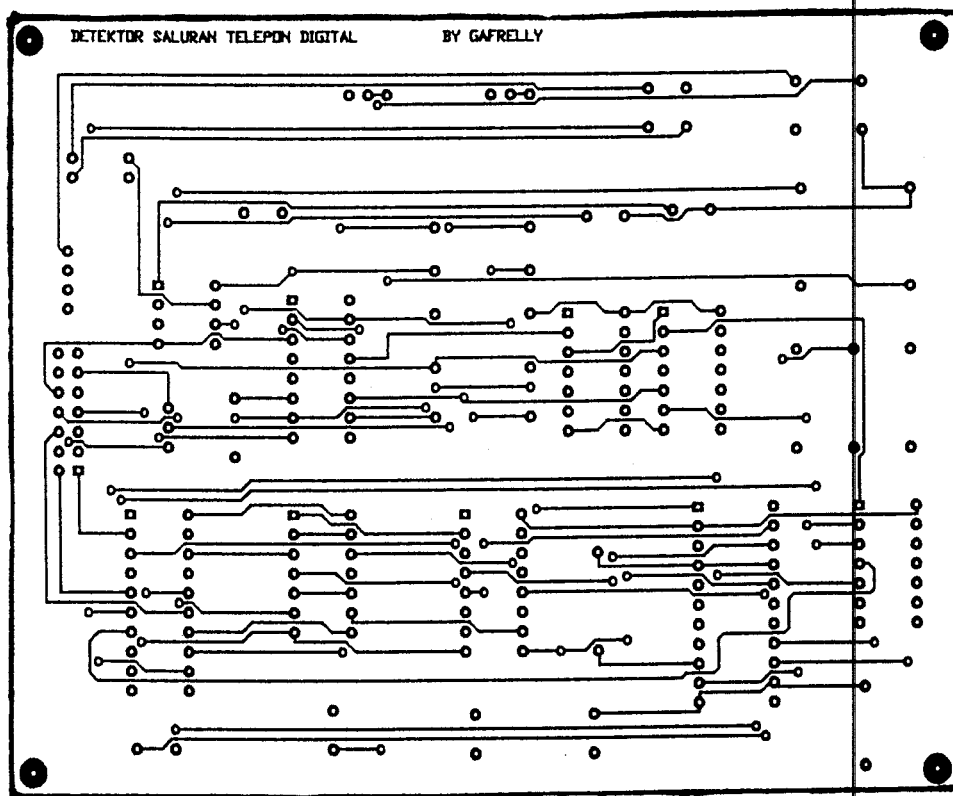
DKT' 93







Title DETEKTOR SALURAN TELEPON DIGITAL



ESTIMASI BIAYA PEMBUATAN ALAT

NO	QTY	NAMA	HARGA	JUMLAH
1	2	Pcb Trough hole Detektor	16100	32200
2	1	Pcb Trough hole Min.Sys	41600	41600
3	1	Green Masker Min.Sys	5000	5000
4	1	Film PCB	6800	6800
5	1	Film PCB	3000	3000
6	1	LCD 16X4	87500	87500
7	1	DB 9	750	750
8	1	DC 7G3HWA (10 LED)	2250	2250
9	1	TIMAH SOLDER	3250	3250
10	2	KOMPONEN DETEKTOR	75000	150000
11	1	KOMPONEN MINIMUM SYS.	100000	100000
12	1	BOX + DLL.	15000	15000
13	1	AKI KERING 6V, 3.2 AH	45000	45000
			-----	+
			Rp.	492.350,-



LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

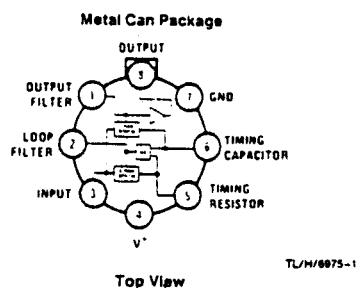
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability

- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

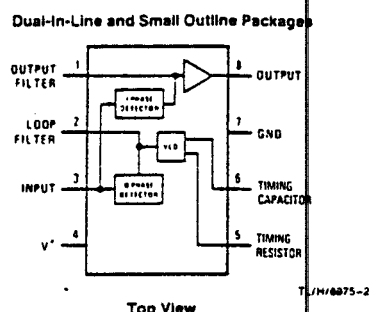
Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams



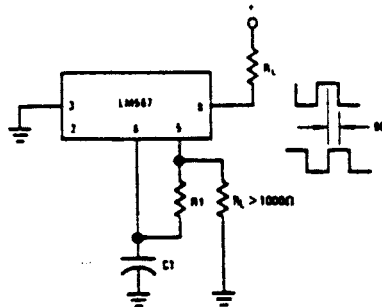
Order Number LM567H or LM567CH
See NS Package Number H08C



Order Number LM567CM
See NS Package Number M08A
Order Number LM567CN
See NS Package Number N08E

Typical Applications (Continued)

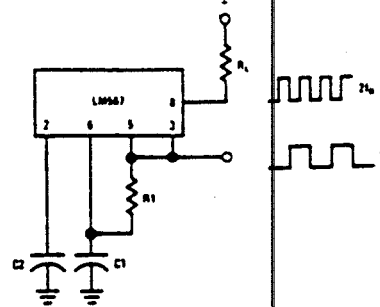
Oscillator with Quadrature Output



Connect Pin 3 to 2.5V to Invert Output

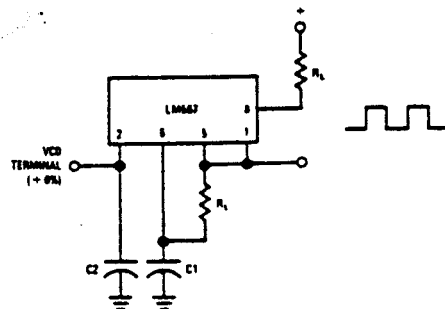
TL/M/6875-6

Oscillator with Double Frequency Output



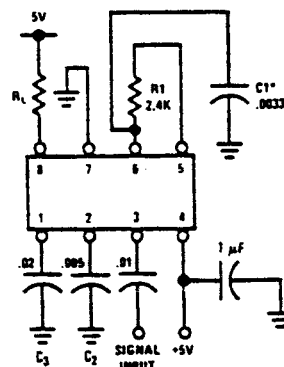
TL/M/6875-7

Precision Oscillator Drive 100 mA Loads



TL/M/6875-8

AC Test Circuit



$f_0 = 100 \text{ kHz} \pm 5\%$
*Never Adjust for $f_0 = 100 \text{ kHz}$.

TL/M/6875-9

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_0 = \frac{1}{1.1 R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

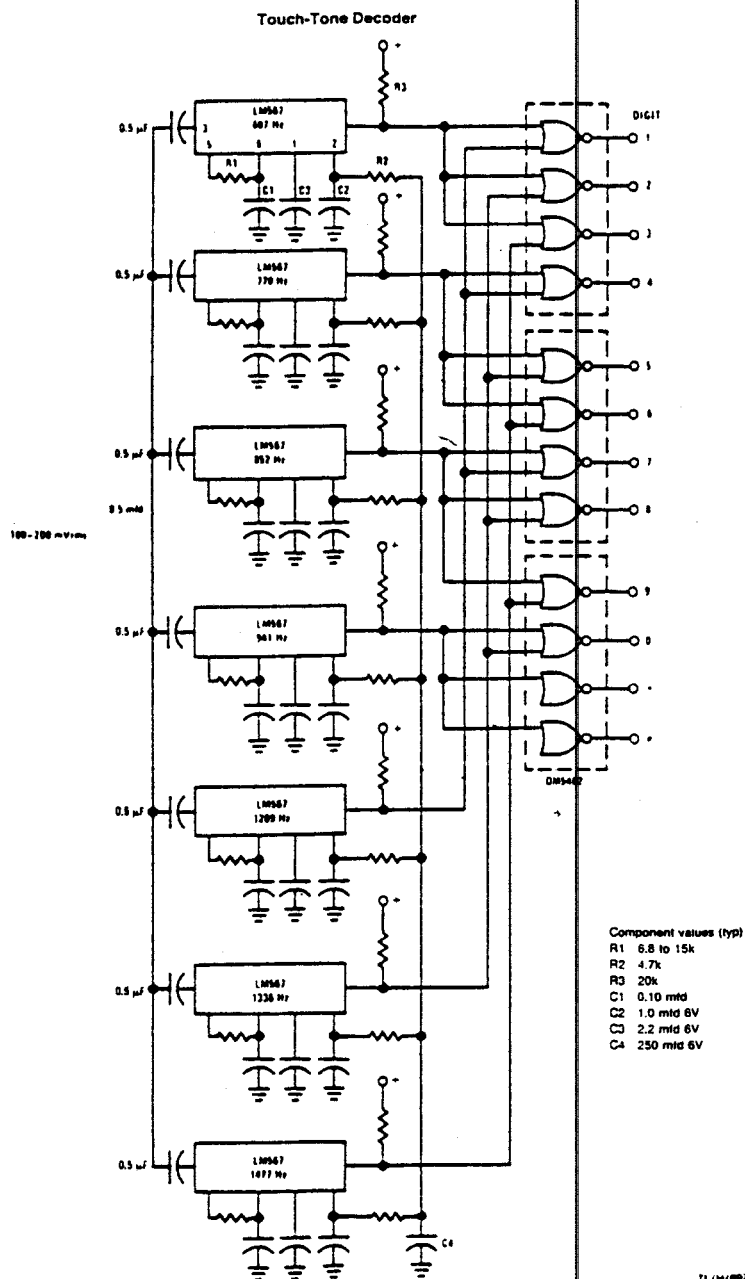
$$BW = 1070 \sqrt{\frac{V_1}{f_0 C_2}} \text{ in \% of } f_0$$

Where:

V_1 = Input voltage (volts rms), $V_1 \leq 200 \text{ mV}$

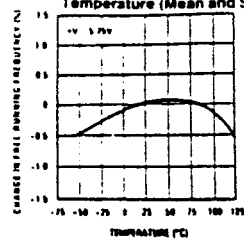
C_2 = Capacitance at Pin 2 (μF)

Typical Applications

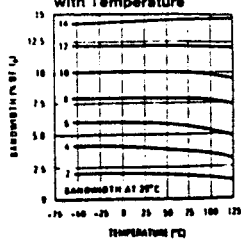


Typical Performance Characteristics

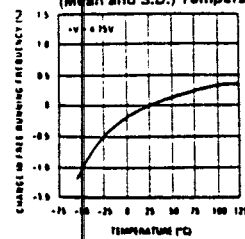
Typical Frequency Drift with Temperature (Mean and S.D.)



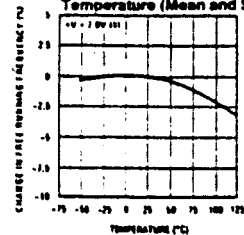
Typical Bandwidth Variation with Temperature



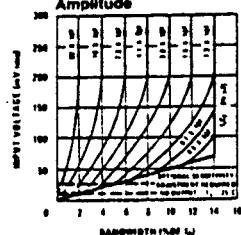
Typical Frequency Drift with (Mean and S.D.) Temperature



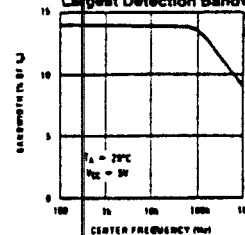
Typical Frequency Drift with Temperature (Mean and S.D.)



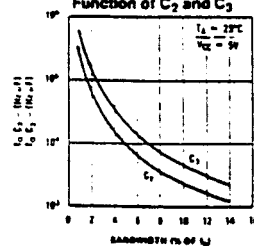
Bandwidth vs Input Signal Amplitude



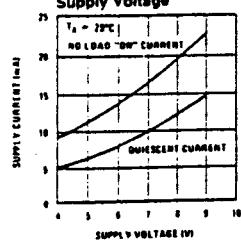
Largest Detection Bandwidth



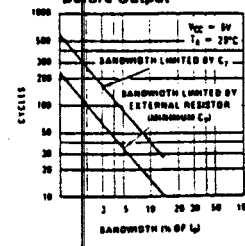
Detection Bandwidth as a Function of C_2 and C_3



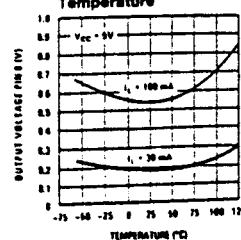
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



Typical Output Voltage vs Temperature



Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 1)	1100 mW
V_B	15V
V_O	-10V
V_I	$V_A + 0.5V$
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	
LM567H	-55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package
Soldering (10 sec.)

260°C

Small Outline Package

Vapor Phase (60 sec.)

215°C

Infrared (15 sec.)

220°C

See AN-450 "Surface Mounting on Product Reliability" for other face mount devices.

Methods and Their Effect on methods of soldering surface mount devices.

Electrical Characteristics AC Test Circuit, $T_A = 25^\circ\text{C}$, $V^+ = 5V$

Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	$R_L = 20k$		6	8		7	10	mA
Power Supply Current Activated	$R_L = 20k$		11	13		12	15	mA
Input Resistance		18	20		15	20		k Ω
Smallest Detectable Input Voltage	$I_i = 100 \text{ mA}$, $I_i = I_O$		20	25		20	25	mVrms
Largest No Output Input Voltage	$I_C = 100 \text{ mA}$, $I_i = I_O$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	$B_n = 140 \text{ kHz}$		-6			-6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_O
Largest Detection Bandwidth Skew			1	2		2	3	% of f_O
Largest Detection Bandwidth Variation with Temperature			± 0.1			± 0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75 - 6.75V		± 1	± 2		± 1	± 5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75-5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ± 60 35 ± 140		ppm/°C
Center Frequency Shift with Supply Voltage	4.75V - 6.75V 4.75V - 9V		0.5 2.0	1.0 2.0		0.4 2.0	2.0 2.0	%/V
Fastest ON-OFF Cycling Rate			$I_O/20$			$I_O/20$		
Output Leakage Current	$V_B = 15V$		0.01	25		0.01	25	μA
Output Saturation Voltage	$e_i = 25 \text{ mV}$, $I_B = 30 \text{ mA}$ $e_i = 25 \text{ mV}$, $I_B = 100 \text{ mA}$		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 2: Refer to RET567X drawing for specifications of military LM567H version.

2. OPERATING INSTRUCTIONS

2.1 Terminal Functions

Table 1 Terminal functions

Signal name	No. of terminals	I/O	Destination	Function
DB ₀ to DB ₃	4	I/O	MPU	Tristate bidirectional lower four data buses: Data is read from the module to the MPU or written to the module from the MPU through the buses. If the interface data is 4 bits, the signals are not used.
DB ₄ to DB ₇	4	I/O	MPU	Tristate bidirectional upper four data buses: Data is read from the module to the MPU or written to the module from the MPU through the buses. DB ₇ is also used as a busy flag.
E	1	Input	MPU	Operation start signal: The signal activates data write or read.
R/ \overline{W}	1	Input	MPU	Read (R) and Write (\overline{W}) selection signals 0: Write 1: Read
RS	1	Input	MPU	Register selection signals 0: Instruction register (Write) Busy flag and address counter (Read) 1: Data register (Write and Read)
V _{LC}	1	—	Power supply	Power supply terminal for driving liquid crystal display: The screen contrast can be varied by changing V _{LC} .
V _{DD}	1	—	Power supply	+5V
V _{SS}	1	—	Power supply	Ground terminal: 0V

2.2 Basic Operations

2.2.1 Registers

The controller has two kinds of eight-bit registers: the instruction register (IR) and the data register (DR). They are selected by the register select (RS) signal as shown in Table 2.

The IR stores instruction codes such as Display Clear and Cursor Shift, and the address information of display data RAM (DD RAM) and character generator RAM (CG RAM). They can be written from the MPU, but cannot be read to the MPU.

The DR temporarily stores data to be written into DD RAM or CG RAM, or read from DD RAM or CG RAM. When data is written into DD RAM or CG RAM from the MPU, the data in the DR is automatically written into DD RAM or CG RAM by internal operation. However, when data is read from DD RAM or CG RAM, the necessary data address is written into the IR. The specified data is read out to the DR and then the MPU reads it from the DR. After the read operation, the next address is set and DD RAM or CG RAM data at the address is read into the DR for the next read operation.

Table 2 Register selection

RS	$\overline{R/W}$	Operation	
0	0	IR selection, IR write.	Internal operation : Display clear
0	1	Busy flag (DB ₇) and address counter (DB ₀ to DB ₆) read	
1	0	DR selection, DR write.	Internal operation : DR to DD RAM or CG RAM
1	1	DR selection, DR read.	Internal operation : DD RAM or CG RAM to DR

2.2.2 Busy flag (BF)

The flag indicates whether the module is ready to accept the next instruction. As shown in Table 2, the signal is output to DB₇ if RS = 0 and $\overline{R/W}$ = 1. If the value is 1, the module is working internally and the instruction cannot be accepted. If the value is 0, the next instruction can be written. Therefore, the flag status needs to be checked before executing an instruction. If an instruction is executed without checking the flag status, wait for more than the execution time shown by 2.4 Instruction Outline.

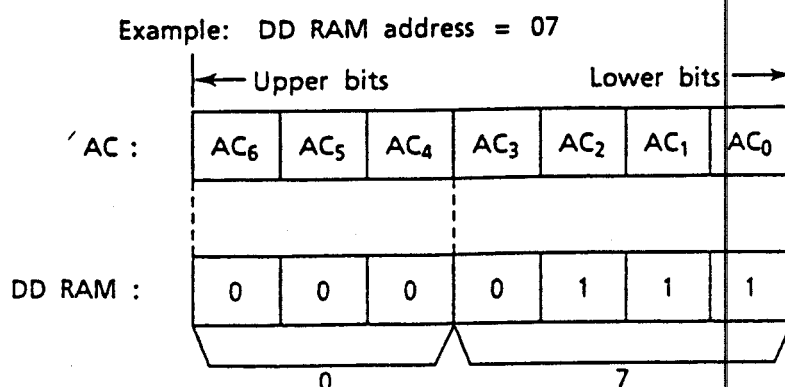
2.2.3 Address counter (AC)

The counter specifies an address when data is written into DD RAM or CG RAM and the data stored in DD RAM or CG RAM is read out. If an Address Set instruction (for DD RAM or CG RAM) is written in the IR, the address information is transferred from the IR to the AC. When display data is written into or read from DD RAM or CG RAM, the AC is automatically incremented or decremented by one according to the Entry Mode Set. The contents of the AC are output to DB₀ to DB₆ as shown in Table 2 if RS = 0 and $\overline{R/W} = 1$.

2.2.4 Display data RAM (DD RAM)

DD RAM has a capacity of up to 80×8 bits and stores display data of 80 eight-bit character codes. Some storage areas of DD RAM which are not used for display can be used as general data RAM.

A DD RAM address to be set in the AC is expressed in hexadecimal form as follows.



00H to 0FH of the DD RAM address is set in the line 1, and 40H to 4FH in the line 2.

Note : The addresses in the digit 16 of line 1 and the digit 1 of line 2 are not consecutive.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	Display digit
Line 1	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	DD RAM address
Line 2	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	

If the display is shifted, DD RAM address 00H to 27H are displayed in line 1 and 40H to 67H in line 2. The following figures are examples of display shifts.

*Left shift

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	Display digit
Line 1	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	DD RAM address
Line 2	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	

*Right shift

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	Display digit
Line 1	27	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	DD RAM address
Line 2	67	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	

2.2.5 Character generator ROM (CG ROM)

Character generator ROM generates 192 types of 5 x 7 dot-matrix character patterns from eight-bit character codes.

Table 3 shows the correspondence between the CG ROM character codes and character patterns.

2.2.6 Character generator RAM (CG RAM)

CG RAM is used to create character patterns freely by programming. Eight types of character patterns can be written.

Table 4 shows the character patterns created from CG RAM addresses and data. To display a created character pattern, the character code in the left column of the table is written into DD RAM corresponding to the display position (digit). The areas not used for display are available as general data RAM.

Table 3 Correspondence between character codes and character patterns

Upper bit 4 bit Lower bit 4 bit	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
x x x x 0000	CG RAM (1)		0	a	P	\	P		7	9	3	o	p
x x x x 0001	(2)	!	1	A	O	a	4	u	7	9	4	ä	q
x x x x 0010	(3)	"	2	B	R	b	r	r	4	u	x	æ	ø
x x x x 0011	(4)	#	3	C	S	c	s	j	9	7	7	e	æ
x x x x 0100	(5)	*	4	D	T	d	t	\	I	t	t	u	o
x x x x 0101	(6)	z	5	E	U	e	u	.	*	+	1	o	ü
x x x x 0110	(7)	8	6	F	V	f	v	7	9	2	3	o	Σ
x x x x 0111	(8)	9	7	G	W	g	w	7	9	7	9	q	π
x x x x 1000	(1)	(8	H	X	h	x	4	9	*	U	r	Σ
x x x x 1001	(2))	9	I	V	i	v	u	7	U	u	π	u
x x x x 1010	(3)	*	8	J	Z	j	z	u	3	9	U	i	π
x x x x 1011	(4)	+	8	K	L	k	l	*	9	U	U	*	π
x x x x 1100	(5)	9	<	L	*	1	1	7	9	7	9	*	π
x x x x 1101	(6)	---	=	N	I	n	i	u	Σ	\	U	*	÷
x x x x 1110	(7)	..	>	N	^	n	+	3	U	7	π	n	
x x x x 1111	(8)	/	?	O	...	o	+	u	U	7	π	ö	■

Table 4 Relationships between CG RAM addresses and character codes (DD RAM) and character patterns (CG RAM data)

Character code (DD RAM data)	CG RAM address	Character pattern (CG RAM data)
7 6 5 4 3 2 1 0 ← Upper bit Lower bit →	5 4 3 2 1 0 ← Upper bit Lower bit →	7 6 5 4 3 2 1 0 ← Upper bit Lower bit →
0 0 0 0 * 0 0 0	0 0 0	
0 0 0 0 * 0 0 1	0 0 1	
0 0 0 0 * 1 1 1	1 1 1	

Notes: • In CG RAM data, 1 corresponds to Selection and 0 to Non-selection on the display.

- Character code bits 0 to 2 and CG RAM address bits 3 to 5 correspond with each other (three bits, eight types).
- CG RAM address bits 0 to 2 specify a line position for a character pattern. Line 8 of a character pattern is the cursor position where the logical sum of the cursor and CG RAM data is displayed. Set the data of line 8 to 0 to display the cursor. If the data is changed to 1, one bit lights, regardless of the cursor.

2.3 Timing Characteristics

2.3.1 Write timing characteristics

$V_{DD} = 5.0 V \pm 5\%$, $V_{SS} = 0 V$, $T_A = 0^\circ C$ to $50^\circ C$

Item		Symbol	Standard		Unit
			Min.	Max.	
Enable cycle time		t_{CYCE}	1000	—	ns
Enable pulse width	High level	PW_{EH}	450	—	ns
Enable rise and fall time		t_{Er}, t_{Ef}	—	25	ns
Setup time	RS, $\overline{R/W} - E$	t_{AS}	140	—	ns
Address hold time		t_{AH}	10	—	ns
Data setup time		t_{DSW}	195	—	ns
Data hold time		t_H	10	—	ns

Write operation

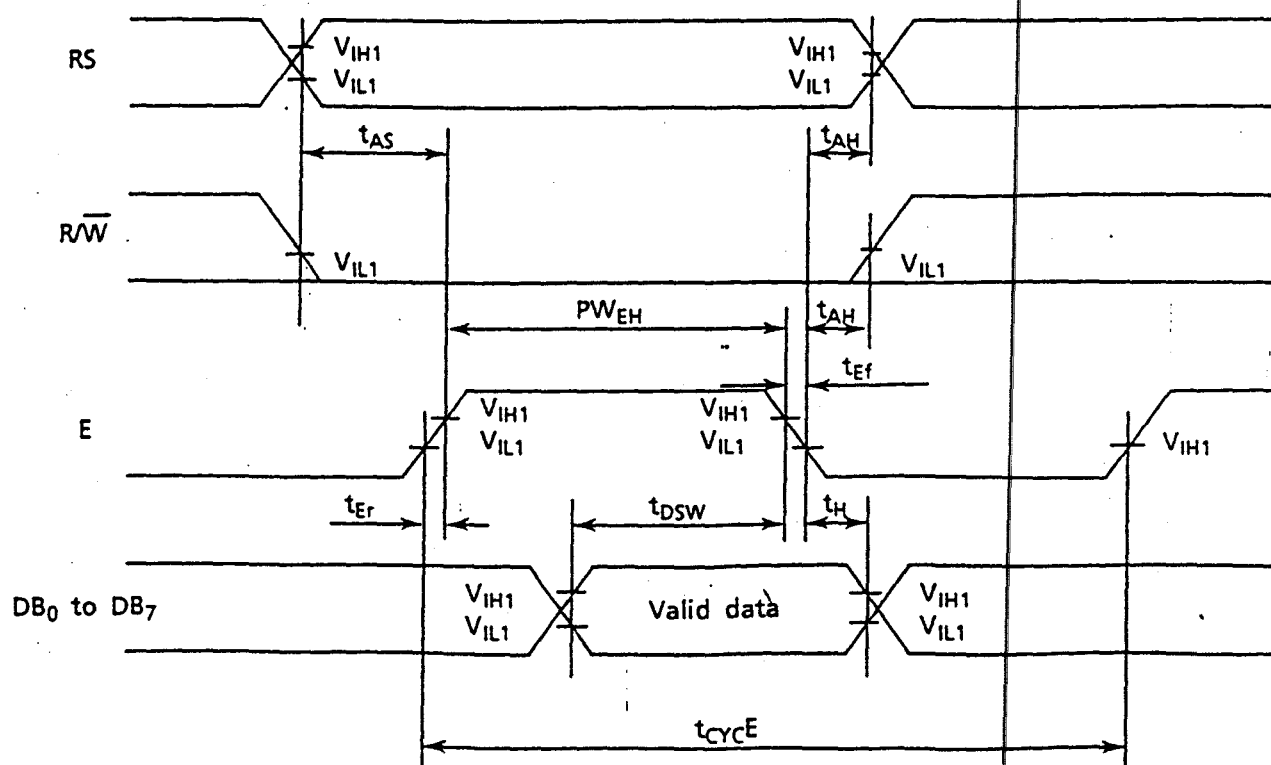


Figure 3 Data write from MPU to module

2.3.2 Read timing characteristics

 $V_{DD} = 5.0V \pm 5\%$, $V_{SS} = 0V$, $T_A = 0^\circ C$ to $50^\circ C$

Item		Symbol	Standard		Unit
			Min.	Max.	
Enable cycle time		t_{CYCE}	1000	—	ns
Enable pulse width	High level	PW_{EH}	450	—	ns
Enable rise and fall time		t_{Er}, t_{Ef}	—	25	ns
Setup time	RS, $\overline{R/W} \rightarrow E$	t_{AS}	140	—	ns
Address hold time		t_{AH}	10	—	ns
Data delay time		t_{DDR}	—	320	ns
Data hold time		t_H	20	—	ns

Read operation

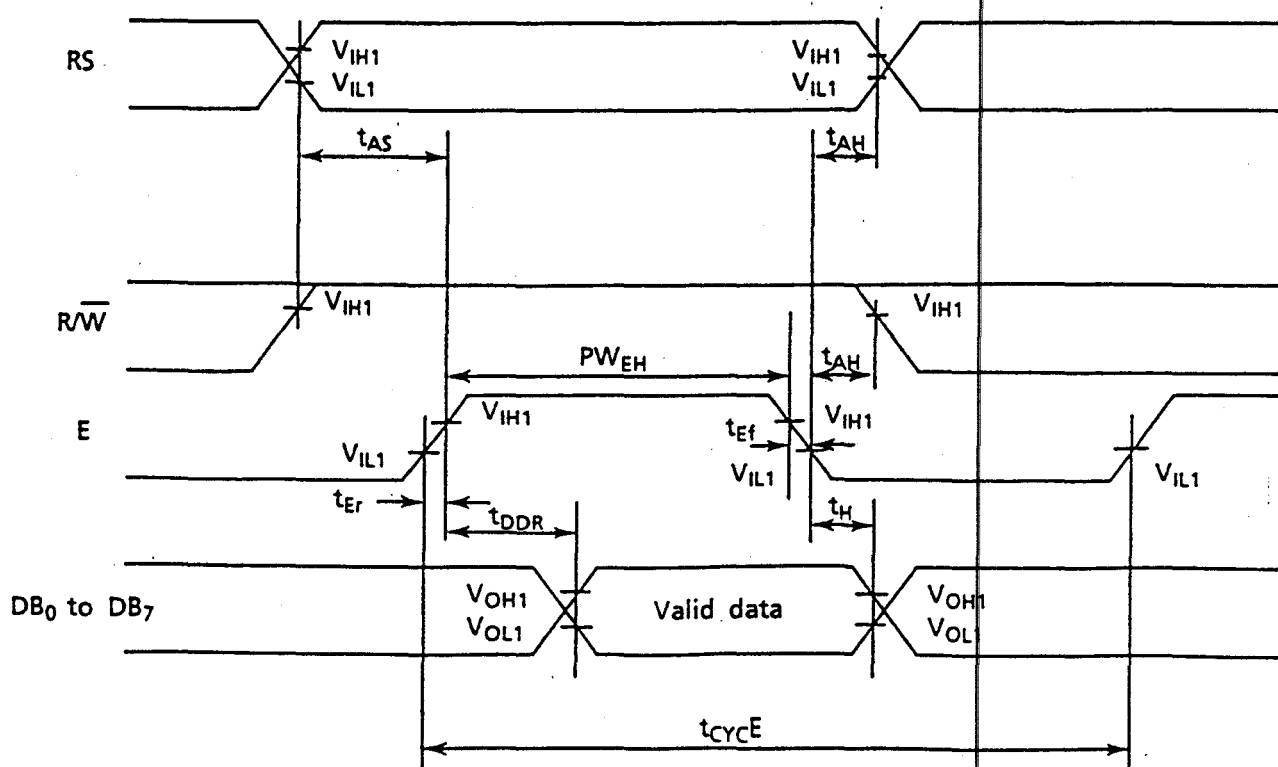


Figure 4 Data read from module to MPU

2.4 Instruction Outline

Table 5 List of instructions

Instruction	Code										Function	Execution time
	RS	R/W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀		
(1) Display clear	0	0	0	0	0	0	0	0	0	1	Clears all display and returns cursor to home position (address 0)	1.64 ms
(2) Cursor Home	0	0	0	0	0	0	0	0	1	*	Returns cursor to home position. Shifted display returns to home position and DD RAM contents do not change.	1.64 ms
(3) Entry Mode Set	0	0	0	0	0	0	0	1	VD	S	Sets direction of cursor movement and whether display will be shifted when data is written or read	40 μs
(4) Display ON / OFF control	0	0	0	0	0	0	1	D	C	B	Turns ON/OFF total display (D) and cursor (C), and makes cursor position column start blinking (B)	40 μs
(5) Cursor/Display Shift	0	0	0	0	0	1	S/C	R/L	*	*	Moves cursor and shifts display without changing DD RAM contents	40 μs
(6) Function Set	0	0	0	0	1	DL	1	*	*	*	Sets interface data length (DL)	40 μs
(7) CG RAM Address Set	0	0	0	1	A _{CG}						Sets CG RAM address to start transmitting or receiving CG RAM data	40 μs
(8) DD RAM Address Set	0	0	1	A _{DD}						Sets DD RAM address to start transmitting or receiving DD RAM data	40 μs	
(9) BF/Address Read	0	1	BF	AC						Reads BF indicating module in internal operation and AC contents (used for both CG RAM and DD RAM)	0 μs	
(10) Data Write to CG RAM or DD RAM	1	0	Write Data						Writes data into DD RAM or CG RAM		40 μs	
(11) Data Read from CG RAM or DD RAM	1	1	Read Data						Reads data from DD RAM or CG RAM		40 μs	

* : Invalid bit

Acc : CG RAM address

Add : DD RAM address

VD = 1 : Increment

VD = 0 : Decrement

C = 1 : Cursor ON

C = 0 : Cursor OFF

R/L = 1 : Right shift

R/L = 0 : Left shift

S = 1 : Display shift

S = 0 : No display shift

B = 1 : Blink ON

B = 0 : Blink OFF

DL = 1 : 8 bits

DL = 0 : 4 bits

D = 1 : Display ON

D = 0 : Display OFF

S/C = 1 : Display

shift

S/C = 0 : Cursor movement

BF = 1 : Internal operation in progress

BF = 0 : Instruction can be accepted



DP8571A Timer Clock Peripheral (TCP)

General Description

The DP8571A is intended for use in microprocessor based systems where information is required for multi-tasking, data logging or general time of day/date information. This device is implemented in low voltage silicon gate microCMOS technology to provide low standby power in battery back-up environments. The circuit's architecture is such that it looks like a contiguous block of memory or I/O ports. The address space is organized as 2 software selectable pages of 32 bytes. This includes the Control Registers, the Clock Counters, the Alarm Compare RAM, the Timers and their data RAM, and the Time Save RAM. ~~For more information, see the DP8571A Data Sheet.~~

Time and date are maintained from 1/100 of a second to year and leap year in a BCD format, 12 or 24 hour modes. Day of week, day of month and day of year counters are provided. Time is controlled by an on-chip crystal oscillator requiring only the addition of the crystal and two capacitors. The choice of crystal frequency is program selectable.

Two independent multifunction 10 MHz 16-bit timers are provided. These timers operate in four modes. Each has its own prescaler and can select any of 7 possible clock inputs. Thus, by programming the input clocks and the timer counter values a very wide range of timing durations can be achieved. The range is from about 400 ns (4.915 MHz oscillator) to 65,535 seconds (18 hrs., 12 min.).

Power failure logic and control functions have been integrated on chip. This logic is used by the TCP to issue a power fail

interrupt, and lock out the μP interface. The time power fails may be logged into RAM automatically when $V_{BB} > V_{CC}$. Additionally, two supply pins are provided, and upon power failure detection, internal circuitry will automatically switch from the main supply to the battery supply. Status bits are provided to indicate initial application of battery power, system power, and low battery detect.

(Continued)

Features

- Full function real time clock/calendar
 - 12/24 hour mode timekeeping
 - Day of week and day of years counters
 - Four selectable oscillator frequencies
 - Parallel resonant oscillator
- Two 16-bit timers
 - 10 MHz external clock frequency
 - Programmable multi-function output
 - Flexible re-trigger facilities
- Power fail features
 - Internal power supply switch to external battery
 - Power Supply Bus glitch protection
 - Automatic log of time into RAM at power failure
- On-chip interrupt structure
 - Periodic, alarm, timer and power fail interrupts
- Up to 44 bytes of CMOS RAM
- INTR/MFO pins programmable High/Low and push-pull or open drain

Block Diagram

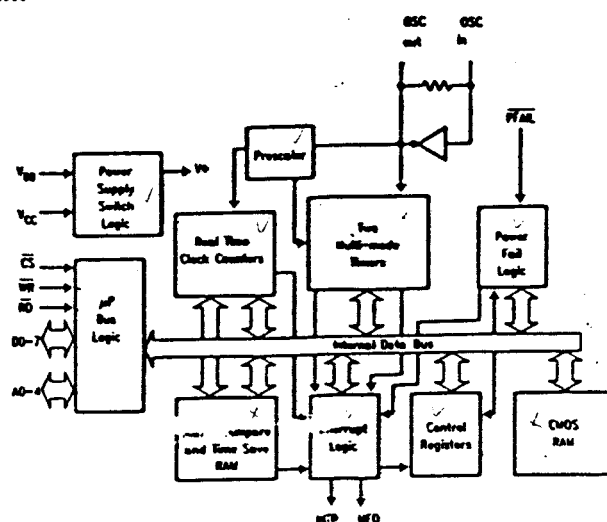


FIGURE 1

General Description (Continued)

The DP8571A's interrupt structure provides four basic types of interrupts: Periodic, Alarm/Compare, Timer, and Power Fail. Interrupt mask and status registers enable the masking and easy determination of each interrupt.

One dedicated general purpose interrupt output is provided. A second interrupt output is available on the Multiple Function Output (MFO) pin. Each of these may be selected to generate an interrupt from any source. Additionally, the MFO pin may be programmed to be either as oscillator output or Timer 0's output.

Pin Description

CS, RD, WR (Inputs): These pins interface to μP control lines. The CS pin is an active low enable for the read and write operations. Read and Write pins are also active low and enable reading or writing to the TCP. All three pins are disabled when power failure is detected. However, if a read or write is in progress at this time, it will be allowed to complete its cycle.

A0-A4 (Inputs): These 5 pins are for register selection. They individually control which location is to be accessed. These inputs are disabled when power failure is detected.

OSC IN (Input): OSC OUT (Output): These two pins are used to connect the crystal to the internal parallel resonant oscillator. The oscillator is always running when power is applied to V_{BB} and V_{CC} , and the correct crystal select bits in the Real Time Mode Register have been set.

MFO (Output): The multi-function output can be used as a second interrupt output for interrupting the μP . This pin can also provide an output for the oscillator or the internal Timer 0. The MFO output can be programmed active high or low, open drain or push-pull. If in battery backed mode and a pull-up resistor is attached, it should be connected to a voltage no greater than V_{BB} .

INTR (Output): The interrupt output is used to interrupt the processor when a timing event or power fail has occurred and the respective interrupt has been enabled. The INTR output can be programmed active high or low, push-pull or open drain. If in battery backed mode and a pull-up resistor is attached, it should be connected to a voltage no greater than V_{BB} .

D0-D7 (Input/Output): These 8 bidirectional pins connect to the host μP 's data bus and are used to read from and write to the TCP. When the PFAIL pin goes low and a write is not in progress, these pins are at TRI-STATE.

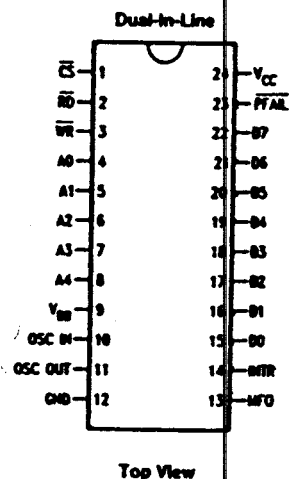
PFAIL (Input): In battery backed mode, this pin can have a digital signal applied to it via some external power detection logic. When PFAIL = logic 0 the TCP goes into a lockout mode, in a minimum of 30 μs or a maximum of 63 μs unless lockout delay is programmed. In the single power supply mode, this pin is not useable as an input and should be tied to V_{CC} . Refer to section on Power Fail Functional Description.

V_{BB} (Battery Power Pin): This pin is connected to a back-up power supply. This power supply is switched to the internal circuitry when the V_{CC} becomes lower than V_{BB} . Utilizing this pin eliminates the need for external logic to switch in and out the back-up power supply. If this feature is not to be used then this pin must be tied to ground, the TCP programmed for single power supply only, and power applied to the V_{CC} pin.

V_{CC} : This is the main system power pin.

GND: This is the common ground power pin for both V_{BB} and V_{CC} .

Connection Diagram



Order Number DP8571AJ
See NS Package Number J24F

The DP8571A contains a fast access real time clock, two 10 kHz 16-bit timers, interrupt control logic, power fail detect logic, and CMOS RAM. All functions of the TCP are controlled by a set of nine registers. A simplified block diagram that shows the major functional blocks is given in Figure 1. The blocks are described in the following sections:

1. Real Time Clock
2. Oscillator Prescaler
3. Interrupt Logic
4. Power Failure Logic
5. Additional Supply Management
6. Timers

The memory map of the TCP is shown in the memory addressing table. The memory map consists of two 31 byte pages with a main status register that is common to both pages. A control bit in the Main Status Register is used to select either page. Figure 2 shows the basic concept. Page 0 contains all the clock timer functions, while page 1 has scratch pad RAM. The control registers are split into two separate blocks to allow page 1 to be used entirely as scratch pad RAM. Again a control bit in the Main Status Register is used to select either control register block.

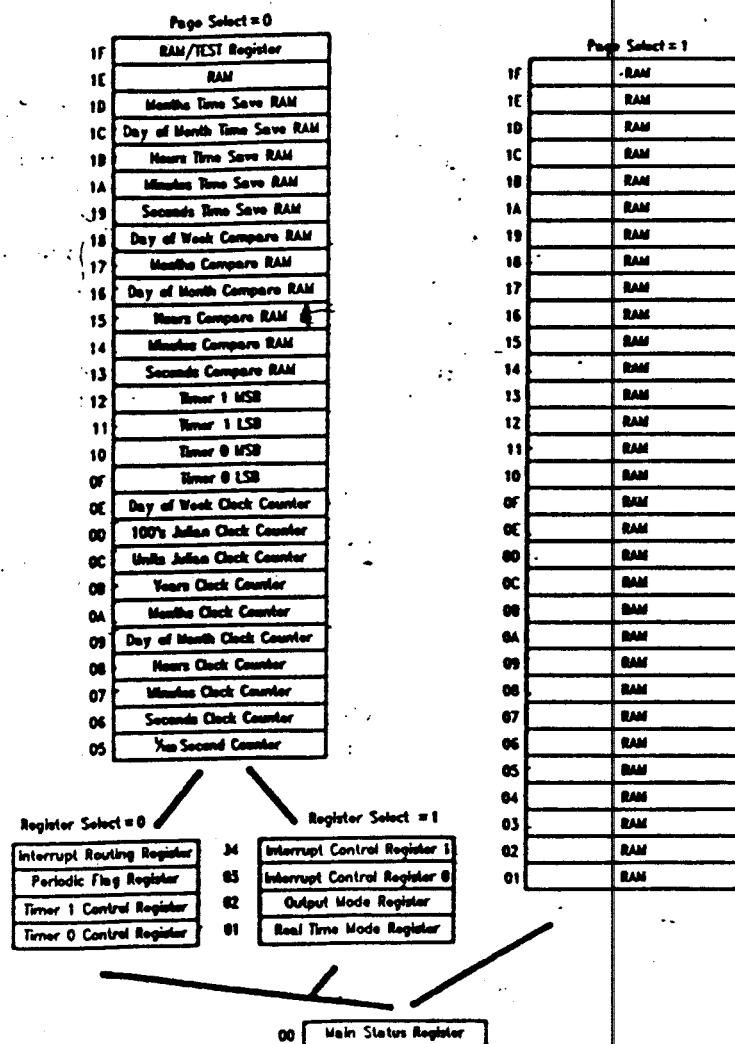
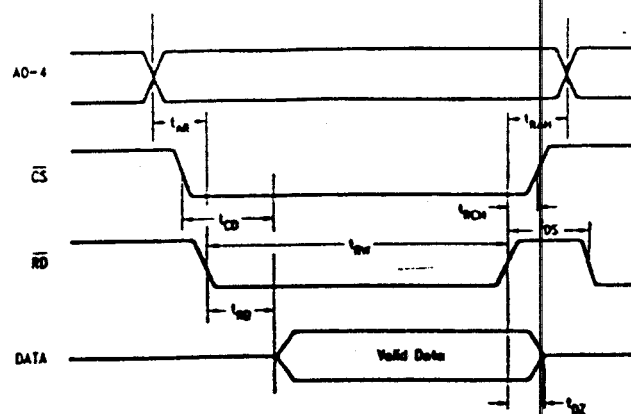


FIGURE 2. DP8571A Internal Memory Map

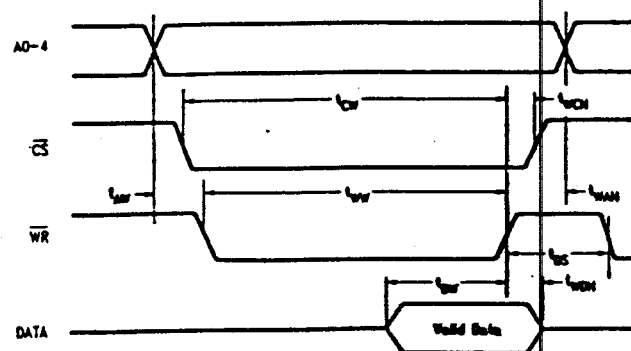
TLF/8870-6

Read Timing Diagram



TL/F/0070-3

Write Timing Diagram



TL/F/0070-4

Functional Description (Continued)

INITIAL POWER-ON of BOTH V_{BB} and V_{CC}

V_{BB} and V_{CC} may be applied in any sequence. In order for the power fail circuitry to function correctly, whenever power is off, the V_{CC} pin must see a path to ground through a maximum of 1 M Ω . The user should be aware that the control registers will contain random data. The first task to be carried out in an initialization routine is to start the oscillator by writing to the crystal select bits in the Real Time Mode Register. If the DP8571A is configured for single supply mode, an extra 50 μ A may be consumed until the crystal select bits are programmed. The user should also ensure that the TCP is not in test mode (see register descriptions).

REAL TIME CLOCK FUNCTIONAL DESCRIPTION

As shown in Figure 2, the clock has 10 bytes of counters, which count from 1/100 of a second to years. Each counter counts in BCD and is synchronously clocked. The count sequence of the individual byte counters within the clock is shown later in Table VII. Note that the day of week, day of month, day of year, and month counters all roll over to 1. The hours counter in 12 hour mode rolls over to 1 and the AM/PM bit toggles when the hours rolls over to 12 (AM = 0, PM = 1). The AM/PM bit is bit D7 in the hours counter.

All other counters roll over to 0. Also note that the day of year counter is 12 bits long and occupies two addresses. Upon initial application of power the counters will contain random information.

READING THE CLOCK: VALIDATED READ

Since clocking of the counter occurs asynchronously to reading of the counter, it is possible to read the counter while it is being incremented (rollover). This may result in an incorrect time reading. Thus to ensure a correct reading of the entire contents of the clock (or that part of interest), it must be read without a clock rollover occurring. In general this can be done by checking a rollover bit. On this chip the periodic interrupt status bits can serve this function. The following program steps can be used to accomplish this.

1. Initialize program for reading clock.
2. Dummy read of periodic status bit to clear it.
3. Read counter bytes and store.
4. Read rollover bit, and test it.
5. If rollover occurred go to 3.
6. If no rollover, done.

To detect the rollover, individual periodic status bits can be polled. The periodic bit chosen should be equal to the highest frequency counter register to be read. That is if only SECONDS through HOURS counters are read, then the SECONDS periodic bit should be used.

READING THE CLOCK: INTERRUPT DRIVEN

Enabling the periodic interrupt mask bits cause interrupts just as the clock rolls over. Enabling the desired update rate and providing an interrupt service routine that executes in less than 10 ms enables clock reading without checking for a rollover.

READING THE CLOCK: LATCHED READ

Another method to read the clock that does not require checking the rollover bit is to write a one into the Time

Save Enable bit (D7) of the interrupt Routing Register, and then to write a zero. Writing a one into this bit will enable the clock contents to be duplicated in the Time Save RAM. Changing the bit from a one to a zero will freeze and store the contents of the clock in Time Save RAM. The time then can be read without concern for clock rollover, since internal logic takes care of synchronization of the clock. Because only the bits used by the clock counters will be latched, the Time Save RAM should be cleared prior to use to ensure that random data stored in the unused bits do not confuse the host microprocessor. This bit can also provide time save at power failure, see the Additional Supply Management Functions section. With the Time Save Enable bit at a logical 0, the Time Save RAM may be used as RAM if the latched read function is not necessary.

INITIALIZING AND WRITING TO THE CALENDAR-CLOCK

Upon initial application of power to the TCP or when making time corrections, the time must be written into the clock. To correctly write the time to the counters, ~~the clock must be stopped by writing a one to the Start/Stop bit in the Real Time Mode Register. This stops the clock from counting and disables the carry circuitry. When initializing the clock's Real Time Mode Register, it is recommended that first the various mode bits be written while maintaining the Start/Stop bit reset, and then writing to the register a second time with the Start/Stop bit set.~~

The above method is useful when the entire clock is being corrected. If one location is being updated the clock need not be stopped since this will reset the prescaler, and time will be lost. An ideal example of this is correcting the hours for daylight savings time. To write to the clock "on the fly" the best method is to wait for the 1/100 of a second periodic interrupt. Then wait an additional 16 μ s, and then write the data to the clock.

PRESCALER/OSCILLATOR FUNCTIONAL DESCRIPTION

Feeding the counter chain is a programmable prescaler which divides the crystal oscillator frequency to 32 kHz and further to 100 Hz for the counter chain (see Figure 3). The crystal frequency that can be selected are: 32 kHz, 32.768 kHz, 4.9152 MHz, and 4.194304 MHz.

Once 32 kHz is generated it feeds both timers and the clock. The clock and timer prescalers can be independently enabled by controlling the timer or clock Start/Stop bits.

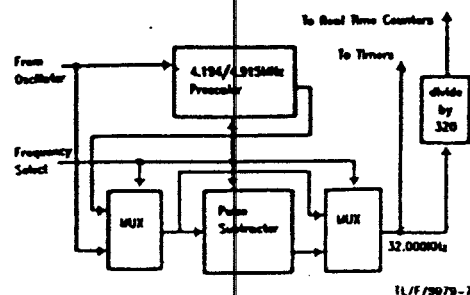


FIGURE 3. Programmable Clock Prescaler Block

The oscillator is programmed via the Real Time Mode Register 10 to operate at various frequencies. The crystal oscillator is designed to offer optimum performance at each frequency. Thus, at 32.768 kHz the oscillator is configured as a low frequency and low power oscillator. At the higher frequencies the oscillator inverter is reconfigured. In addition to the inverter, the oscillator feedback bias resistor is included on chip, as shown in Figure 4. The oscillator input may be driven from an external source if desired. Refer to test mode application note for details. The oscillator stability is enhanced through the use of an on chip regulated power supply.

The typical range of trimmer capacitor (as shown in Oscillator Circuit Diagram Figure 4, and in the typical application) at the oscillator input pin is suggested only to allow accurate tuning of the oscillator. This range is based on a typical printed circuit board layout and may have to be changed depending on the parasitic capacitance of the printed circuit board or fixture being used. In all cases, the load capacitance specified by the crystal manufacturer (nominal value 11 pF for the 32.768 crystal) is what determines proper oscillation. This load capacitance is the series combination of capacitance on each side of the crystal (with respect to ground).

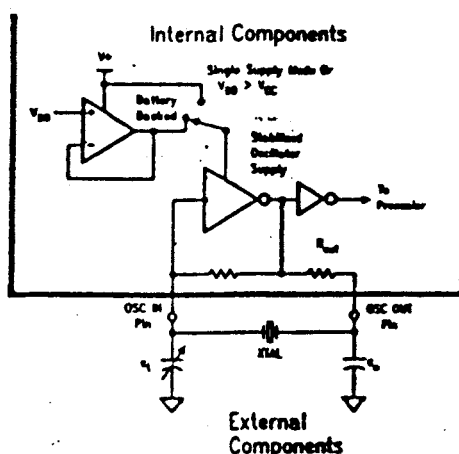


FIGURE 4. Oscillator Circuit Diagram

XTAL	C ₀	C ₁	R _{pull} (Switched Internally)
32/32.768 kHz	47 pF	2 pF–22 pF	150 kΩ to 350 kΩ
4.194304 MHz	68 pF	0 pF–80 pF	500Ω to 900Ω
4.9152 MHz	68 pF	29 pF–49 pF	500Ω to 900Ω

INTERRUPT LOGIC FUNCTIONAL DESCRIPTION

The TCP has the ability to coordinate processor timing activities. To enhance this, an interrupt structure has been implemented which enables several types of events to cause interrupts. Interrupts are controlled via two Control Registers in block 1 and two Status Registers in block 0. (See Register Description for notes on paging and also Figure 5 and Table I.)

The interrupts are enabled by writing a one to the appropriate bits in Interrupt Control Register 0 and/or 1. Any of the interrupts can be routed to either the INTR pin or the MFO pin, depending on how the Interrupt Routing register is programmed. This, for example, enables the user to dedicate the MFO as a non-maskable interrupt pin to the CPU for power failure detection and enable all other interrupts to appear on the INTR pin. The polarity for the active interrupt can be programmed in the Output Mode Register for either active high or low, and open drain or push pull outputs.

TABLE I. Registers that are Applicable to Interrupt Control

Register Name	Register Select	Page Select	Address
Main Status Register	X	X	00H
Periodic Flag Register	0	0	03H
Interrupt Routing Register	0	0	04H
Interrupt Control Register 0	1	0	03H
Interrupt Control Register 1	1	0	04H
Output Mode Register	1	0	02H

The Interrupt Status Flag D0, in the Main Status Register, indicates the state of INTR and MFO outputs. It is set when either output becomes active and is cleared when all TCP interrupts have been cleared and no further interrupts are pending (i.e., both INTR and MFO are returned to their inactive state). This flag enables the TCP to be rapidly polled by the μ P to determine the source of an interrupt in a wired-OR interrupt system.

Note that the Interrupt Status Flag will only monitor the state of the MFO output if it has been configured as an interrupt output (see Output Mode Register description). This is true, regardless of the state of the Interrupt Routing Register. Thus the Interrupt Status Flag provides a true reflection of all conditions routed to the external pins.

Status for the interrupts are provided by the Main Status Register and the Periodic Flag Register. Bits D1–D5 of the Main Status Register are the main interrupt bits.

These register bits will be set when their associated timing events occur. Enabled Alarm or Timer interrupts that occur will set its Main Status Register bit to a one. However, an external interrupt will only be generated if the appropriate Alarm or Timer interrupt enable bits are set (see Figure 5).

Disabling the periodic bits will mask the Main Status Register periodic bit, but not the Periodic Flag Register bits. The Power Fail Interrupt bit is set when the interrupt is enabled and a power fail event has occurred, and is not reset until the power is restored. If all interrupt enable bits are 0 no interrupt will be asserted. However, status still can be read from the Main Status Register in a polled fashion (see Figure 5).

To clear a flag in bits D2–D5 of the Main Status Register a 1 must be written back into the bit location that is to be cleared. For the Periodic Flag Register reading the status will reset all the periodic flags.

Interrupts Fall Into Four Categories.

1. The Timer Interrupts: For description see Timer Section.
2. The Alarm Compare Interrupt: Issued when the value in the time compared RAM equals the counter.
3. The Periodic Interrupts: These are issued at every increment of the specific clock counter signal. Thus, an interrupt is issued every minute, second, etc. Each of these interrupts occurs at the roll-over of the specific counter.
4. The Power Fail Interrupt: Issued upon recognition of a power fail condition by the internal sensing logic. The power failed condition is determined by the signal on the PFAIL pin. The internal power fail signal is gated with the chip select signal to ensure that the power fail interrupt does not lock the chip out during a read or write.

ALARM COMPARE INTERRUPT DESCRIPTION

The alarm/time comparison interrupt is a special interrupt similar to an alarm clock wake up buzzer. This interrupt is generated when the clock time is equal to a value programmed into the alarm compare registers. Up to six bytes can be enabled to perform alarm time comparisons on the counter chain. These six bytes, or some subset thereof, would be loaded with the future time at which the interrupt will occur. Next, the appropriate bits in the Interrupt Control Register 1 are enabled or disabled (refer to detailed description of Interrupt Control Register 1). The TCP then compares these bytes with the clock time. When all the enabled compare registers equal the clock time an alarm interrupt is issued, but only if the alarm compare interrupt is enabled can the interrupt be generated externally. Each alarm compare bit in the Control Register will enable a specific byte for comparison to the clock. Disabling a compare byte is the same as setting its associated counter comparator to an "always equal" state. For example, to generate an interrupt at 3:15 AM of every day, load the hours compare with 03 (BCD), the minutes compare with 15 (BCD) and the lesser counters with 00 (BCD), and then disable all other compare registers. So every day when the time rolls over from 2:45:00, an interrupt is issued. This bit may be reset by writing a one to bit D3 in the Main Status Register at any time after the alarm has been generated.

If time comparison for an individual byte counter is disabled, that corresponding RAM location can then be used as general purpose storage.

PERIODIC INTERRUPTS DESCRIPTION

The Periodic Flag Register contains six flags which are set by real-time generated "ticks" at various time intervals, see Figure 5. These flags constantly sense the periodic signals and may be used whether or not interrupts are enabled. These flags are cleared by any read or write operation performed on this register.

To generate periodic interrupts at the desired rate, the associated Periodic Interrupt Enable bit in Interrupt Control Register 0 must be set. Any combination of periodic interrupts may be enabled to operate simultaneously. Enabled periodic interrupts will now affect the Periodic Interrupt Flag in the Main Status Register. The Periodic Route bit in the Interrupt Routing Register is used to route the periodic interrupt events to either the INTR output or the MFO output.

When a periodic event occurs, the Periodic Interrupt Flag in the Main Status Register is set, causing an interrupt to be generated. The μP clears both flag and interrupt by writing a "1" to the Periodic Interrupt Flag. The individual flags in the periodic Interrupt Flag Register do not require clearing to cancel the interrupt.

If all periodic interrupts are disabled and a periodic interrupt is left pending (i.e., the Periodic Interrupt Flag is still set), the Periodic Interrupt Flag will still be required to be cleared to cancel the pending interrupt.

POWER FAIL INTERRUPTS DESCRIPTION

The Power Fail Status Flag in the Main Status Register monitors the state of the internal power fail signal. This flag may be interrogated by the μP , but it cannot be cleared; it is cleared automatically by the TCP when system power is restored. To generate an interrupt when the power fails, the Power Fail Interrupt Enable bit in Interrupt Control Register 1 is set.

The Power Fail Route bit determines which output the interrupt will appear on. Although this interrupt may not be cleared, it may be masked by clearing the Power Fail Interrupt Enable bit.

POWER FAILURE CIRCUITRY FUNCTIONAL DESCRIPTION

Since the clock must be operated from a battery when the main system supply has been turned off, the DP8571A provides circuitry to simplify design in battery backed systems. This circuitry switches over to the back up supply, and isolates the DP8571A from the host system. Figure 6 shows a simplified block diagram of this circuitry, which consists of three major sections; 1) power loss logic; 2) battery switch over logic; and 3) isolation logic.

Detection of power loss occurs when PFAIL is low. Debounce logic provides a 30 μs –63 μs debounce time, which will prevent noise on the PFAIL pin from being interpreted as a system failure. After 30 μs –63 μs the debounce logic times out and a signal is generated indicating that system power is marginal and is failing. The Power Fail Interrupt will then be generated.

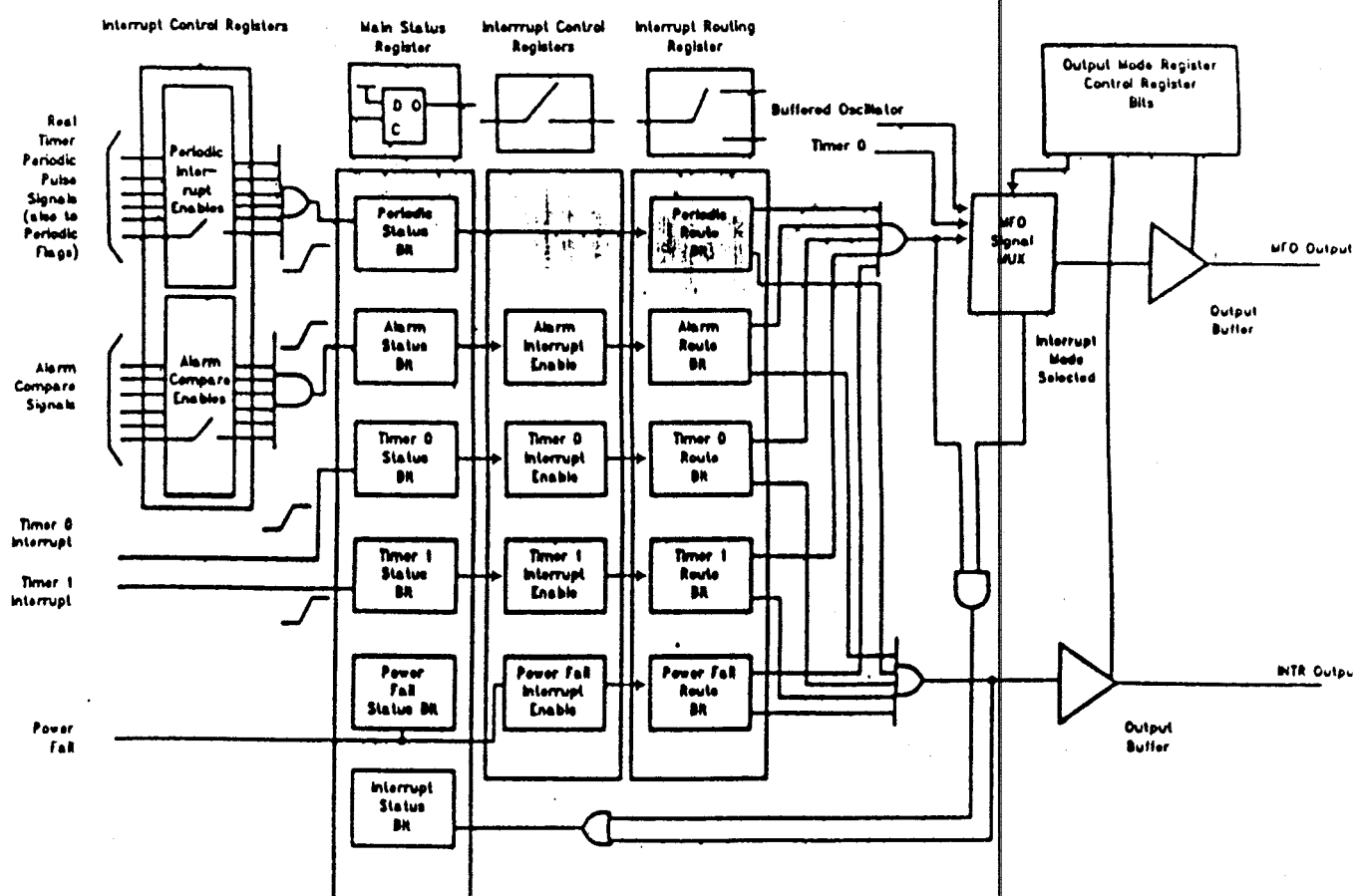


FIGURE 5. Interrupt Control Logic Overview

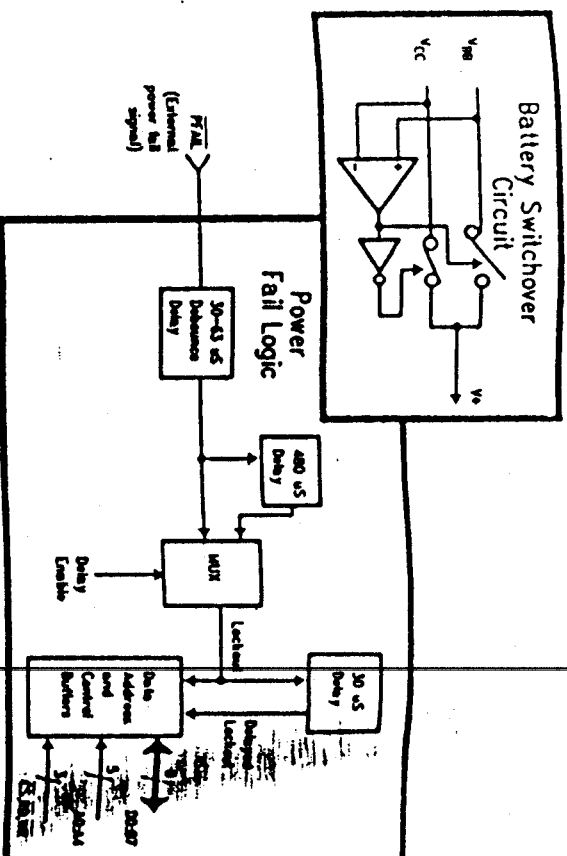


FIGURE 8. System-Battery Switchover (Upper Left), Power Fail and Lock-Out Circuits (Lower Right)

The user may choose to have this power latched signal lock-out the TCP's data bus within 30 μ s min/63 μ s max or to delay the lock-out to enable μ P access after power failure is detected. This delay is enabled by setting the delay enable bit in the Routing Register. Also, if the lock-out delay was not enabled the TCP will disconnect itself from the bus within 30 μ s min \rightarrow 63 μ s max. If chip select is low when a power failure is detected, a safety circuit will ensure that if a read or write is held active continuously for greater than 30 μ s after the power fail signal is asserted, the lock-out will be forced. If a lock-out delay is enabled, the DPRESTA will remain active for 480 μ s after power fail is detected. This will enable the μ P to perform last minute bootstrapping between local system collapse. When the host CPU is finished accessing the TCP it may force the bus lock-out before 480 μ s has elapsed by resetting the delay enable bit.

The battery switch over circuitry is completely independent of the FFAL pin. A separate circuit compares VCC to the V88 voltage. As the main supply falls, the TCP will continue to operate from the VCC pin until VCC falls below the V88 voltage. At this time, the battery supply is switched in, VCC is disconnected, and the device is now in the standby mode. If indefinite operation of the battery switch over circuit is to be avoided, then the voltage at the VCC pin must not be allowed to equal the voltage at the V88 pin.

After the generation of a lock-out signal, essential switch in of the battery supply, the pins of the μ P will be configured as shown in Table II. Outputs with a pull-up resistor should be connected to a voltage ≥ 1.5 V greater than V88.

TABLE II. Pin Isolation during a Power Failure

Pin	FFAL = Logic 0	Standby Mode V88 > VCC
CS, RD, WR	Locked Out	Locked Out
A0-A4	Locked Out	Locked Out
D0-D7	Locked Out	Locked Out
Oscillator	Not Isolated	Not Isolated
FFAL	Not Isolated	Not Isolated
RTR, MFO	Not Isolated	Open Drain

The Timer and Interrupt Power Fail Operation bits in the Real-Time Mode Register determine whether or not the timers and interrupts will continue to function after a power fail event.

As power returns to the system, the battery switch over circuit will switch back to VCC power as soon as it becomes greater than the battery voltage. The chip will remain in the locked out state as long as FFAL = 0. When FFAL = 1

the chip is unlocked, but only after another 30 μ s min. 63 μ s max debounce time. The system designer must ensure that his system is stable when power has returned.

The power fail circuitry contains active linear circuitry that draws supply current from VCC. In some cases this may be undesirable, so this circuit can be disabled by masking the power fail interrupt. The power fail input can perform all lock-out functions previously mentioned, except that no external interrupt will be issued. Note that the linear power fail circuitry is switched off automatically when using V_{BP} in standby mode.

LOW BATTERY, INITIAL POWER ON DETECT, AND POWER FAIL TIME SAVE

There are three other functions provided on the DP8571A to ease power supply control. These are an initial Power On detect circuit, which also can be used as a time keeping failure detect, a low battery detect circuit, and a time save on power failure.

On initial power up the Oscillator Fail Flag will be set to a one and the real time clock start bit reset to a zero. This indicates that an oscillator fail event has occurred, and time keeping has failed.

The Oscillator Fail flag will not be reset until the real-time clock is started. This allows the system to discriminate between an initial power-up and recovery from a power failure. If the battery backed mode is selected, then bit D6 of the Periodic Flag Register must be written low. This will not affect the contents of the Oscillator Fail Flag.

Another status bit is the low battery detect. This bit is set only when the clock is operating under the VCC pin, and when the battery voltage is determined to be less than 2.1V (typical). When the power fail interrupt enable bit is low, it disables the power fail circuit and will also shut off the low battery voltage detection circuit as well.

To relieve CPU overhead for saving time upon power failure, the Time Save Enable bit is provided to do this automatically. (See also Reading the Clock Latched Read.) The Time Save Enable bit, when set, causes the Time Save RAM to follow the contents of the clock. This bit can be reset by software, but if set before a power failure occurs, it will automatically be reset when the clock switches to the battery supply (not when a power failure is detected by the PFAIL pin). Thus, writing a one to the Time Save bit enables both a software write or power fail write.

SINGLE POWER SUPPLY APPLICATIONS

The DP8571A can be used in a single power supply application. To achieve this, the V_{BP} pin must be connected to ground, and the power connected to VCC. The Oscillator Failed/Single Supply bit in the Periodic Flag Register should be set to a logic 1, which will disable the oscillator battery reference circuit. The power fail interrupt should also be disabled. This will turn off the linear power fail detection circuits, and will eliminate any quiescent power drawn through these circuits. Until the crystal select bits are initialized, the DP8571A may consume about 50 μ A due to arbitrary oscillator selection at power on.

(This extra 50 μ A is not consumed if the battery backed mode is selected).

TIMER FUNCTIONAL DESCRIPTION

The DP8571A contains 2 independent multi-mode timers. Each timer is composed of a 16-bit negative edge triggered

binary down counter and associated control. The operation is similar to existing μ P peripheral timers except that several features have been enhanced. The timers can operate in four modes, and in addition, the input clock frequency can be selected from a prescaler over a wide range of frequencies. Furthermore, these timers are capable of generating interrupts and the Timer 0 output signal is available as a hardware output via the MFO pin. Timer 1 output, however, is not available as a hardware output signal. Both the interrupt and MFO outputs are fully programmable active high, or low, open drain, or push-pull.

Figure 7 shows the functional block diagram of one of the timers. The timer consists of a 16-bit counter, two 8-bit input registers, two 8-bit output registers, clock prescaler, mode control logic, and output control logic. The timer and the data registers are organized as two bytes for each timer. Under normal operations a read/write to the timer locations will read or write to the data input register. The timer contents can be read by setting the counter Read bit (RD) in the timer control register.

TIMER INITIALIZATION

The timer's operation is controlled by a set of registers, as listed in Table III. These consist of 2 data input registers and one control register per timer. The data input registers contain the timers count down value. The Timer Control Register is used to set up the mode of operation and the input clock rate. The timer related interrupts can be controlled by programming the Interrupt Routing Register and Interrupt Control Register 0. The timer outputs are configured by the Output Mode Register.

TABLE III. Timer Associated Registers

Register Name	Register Select	Page Select	Address
Timer 0 Data MSB	X	0	10H
Timer 0 Data LSB	X	0	0FH
Timer 0 Control Register	0	0	01H
Timer 1 Data MSB	X	0	12H
Timer 1 Data LSB	X	0	11H
Timer 1 Control Register	0	0	02H
Interrupt Routing Register	0	0	04H
Interrupt Control Reg. 0	1	0	03H
Output Mode Register	1	0	02H

All these registers must be initialized prior to starting the timer(s). The Timer Control Register should first be set to select the timer mode with the timer start/stop bit reset. Then when the timer is to be started the control register should be rewritten identically but with the start/stop bit set.

TIMER OPERATION

Each timer is capable of operation in one of four modes. As mentioned, these modes are programmed in each timer's Control Register which is described later. All four modes operate in a similar manner. They operate on the two 8-bit data words stored into the Data Input Register. At the beginning of a counting cycle the 2 bytes are loaded into the timer and the timer commences counting down towards zero. The exact action taken when zero is reached depends on the mode selected, but in general, the timer output will change state, and an interrupt will be generated if the timer interrupts are unmasked.



INPUT CLOCK SELECTION

The input frequency to the timers may be selected. Each timer has a prescaler that gives a wide selection of clocking rates. Table IV shows the range of programmable clocks available and the corresponding setting in the Timer Control Register. Note that the output of Timer 1 may be used as the input to Timer 0. This is a cascade option for the timers and allows them to be clocked as a 32-bit down counter.

TABLE IV. Programmable Timer Input Clocks

C2	C1	C0	Selected Clock
0	0	0	Timer 1 Output
0	0	1	Crystal Oscillator
0	1	0	(Crystal Oscillator)/4
0	1	1	93.5 μ s (10.7 kHz)
1	0	0	1 ms (1 kHz)
1	0	1	10 ms (100 Hz)
1	1	0	1/10 Second (10 Hz)
1	1	1	1 Second (1 Hz)

Note that the second and third selections are not fixed frequencies, but depend on the crystal oscillator frequency chosen.

Since the input clock frequencies are usually running asynchronously to the timer Start/Stop control bit, a 1 clock cycle error may result. This error results when the Start/Stop occurs just after the clock edge (max error). To minimize this error on all clocks an independent prescaler is used for each timer and is designed so that its Start/Stop error is less than 1 clock cycle.

The count hold/gate bit in the Timer Control Register can be used to suspend the timer operation in modes 0, 1, and 2 (in mode 3 it is the trigger input). Suspending the timer

or causes the same synchronization error that starting the timer does. The range of errors is specified in Table V.

TABLE V. Maximum Synchronization Errors

Clock Selected	Error
External	+ Ext. Clock Period
Crystal	+ 1 Crystal Clock Period
Crystal/4	+ 1 Crystal Clock Period
10.7 kHz	+ 32 μ s
1 kHz	+ 32 μ s
100 Hz	+ 32 μ s
10 Hz	+ 32 μ s
1 Hz	+ 32 μ s

MODES OF OPERATION

Bits M0 and M1 in the Timer Control Registers are used to specify the modes of operation. The mode selection is described in Table VI.

TABLE VI. Programmable Timer Modes of Operation

M1	M0	Function	Modes
0	0	Single Pulse Generator	Mode 0
0	1	Rate Generator, Pulse Output	Mode 1
1	0	Square Wave Output	Mode 2
1	1	Reconfigurable One Shot	Mode 3

MODE 0: SINGLE PULSE GENERATOR

When the timer is in this mode the output will be initially low if the Timer Start/Stop bit is low (stopped). When this mode is initiated the timer output will go high on the next falling edge of the prescaler's input clock, the contents of the

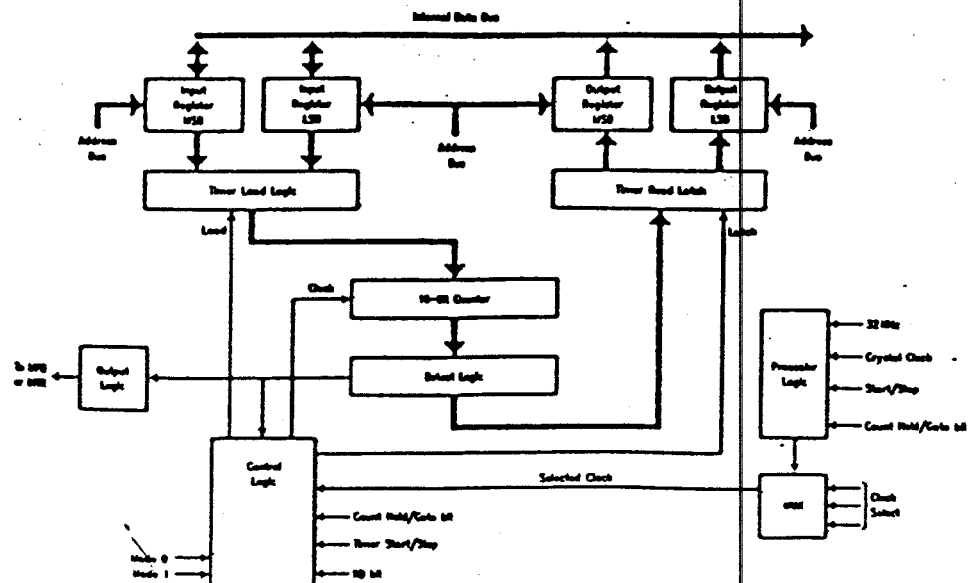


FIGURE 7. DP8571A Timer Block Diagram

data registers are loaded into the timer. The output will stay high until the counter reaches zero. At zero the output is reset. The result is an output pulse whose duration is equal to the input clock period times the count value (N). This is shown in Figure 8. The pulse width is:

$$\text{Pulse Width} = \text{Clock Period} \times N$$

An interrupt is generated when the zero count is reached. This can be used for one-time interrupts that are set to occur a certain amount of time in the future. In this mode the timer Start/Stop bit (TSS) is automatically reset upon zero detection. This removes the need to reset TSS before starting another operation.

The count down operation may be temporarily suspended either under software control by setting the Count Hold/Gate bit in the timer register high, or in hardware by setting the G0 or G1 pin high.

The above discussion assumes that the MFO output is programmed to be non-inverting outputs (active high). If the polarity of the output waveform is wrong for the application the polarity can be reversed by configuring the Output Mode Register. The drive configuration can also be programmed to be push pull or open drain.

MODE 1: RATE GENERATOR

When operating in this mode the timer will operate continuously. Before the timer is started its output is low. When the timer is started the input data register contents are loaded into the counter on the negative clock edge and the output is set high (again assuming the Output Mode Register is programmed active high). The timer will then count down to zero. Once the zero count is reached the output goes low

for one clock period of the timer clock. Then on the next clock the counter is reloaded automatically and the count-down repeats itself. The output, shown in Figure 9, is a waveform whose pulse width and period is determined by N, the input register value, and the input clock period.

$$\text{Period} = (N + 1) (\text{Clock Period})$$

$$\text{Pulse Width} = \text{Clock Period}$$

Again, the output polarity is controllable as in mode 0. If enabled, an interrupt is generated whenever the zero count is reached. This can be used to generate a periodic interrupt.

MODE 2: SQUARE WAVE GENERATOR

This mode is also cyclic but in this case a square wave rather than a pulse is generated. The output square wave period is determined by the value loaded into the timer input register. This period and the duty cycle are:

$$\text{Period} = 2(N + 1) (\text{Clock Period}) \quad \text{Duty Cycle} = 0.5$$

When the timer is stopped the output will be low, and when the Start/Stop bit is set high the timer's counter will be loaded on the next clock falling transition and the output will be set high.

The output will be toggled after the zero count is detected and the counter will then be reloaded, and the cycle will continue. Thus, every $N + 1$ counts the output gets toggled, as shown in Figure 10. Like the other modes the timer operation can be suspended by setting the count hold/gate bit (CHG) in the Timer Control Register. An interrupt will be generated every falling edge of the timer output, if enabled.

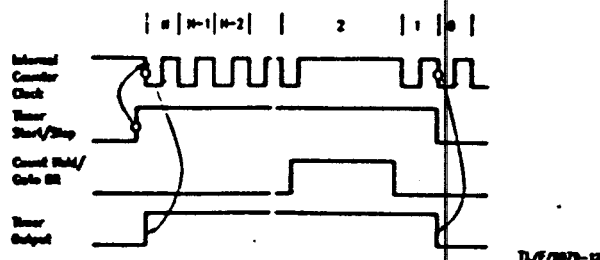


FIGURE 8. Typical Waveforms for Timer Mode 0 (MFO Output Programmed Active High)

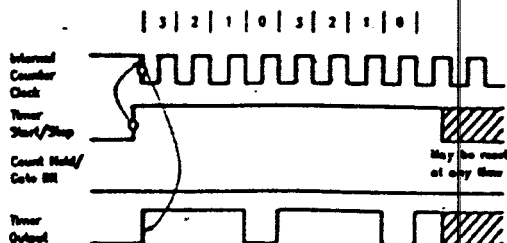


FIGURE 9. Timing Waveforms for Timer Mode 1 (MFO Output Programmed Active High)

Functional Description (Continued)

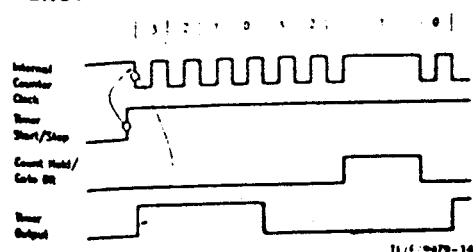


FIGURE 10. Timing Waveforms for Timer Mode 2 (MFO Output Programmed Active High)

MODE 3: RETRIGGERABLE ONE SHOT

Once the timer Start/Stop bit is set the output stays inactive, and nothing happens until the Count Hold/Gate (CHG) bit is set in the timer control register. When a transition occurs the one shot output is set active immediately; the counter is loaded with the value in the input register on the next transition of the input clock and the countdown begins. If a retrigger occurs, regardless of the current counter value, the counters will be reloaded with the value in the input register and the counter will be restarted without changing the output state. See Figure 11. A trigger count can occur at any time during the count cycle. In this mode the timer will output a single pulse whose width is determined by the value in the input register and the clock period.

$$\text{Pulse Width} = \text{Clock Period} \times N$$

The timer will generate an interrupt only when it reaches a count of zero. This timer mode is useful for continuous "watch dog" timing, line frequency power failure detection, etc.

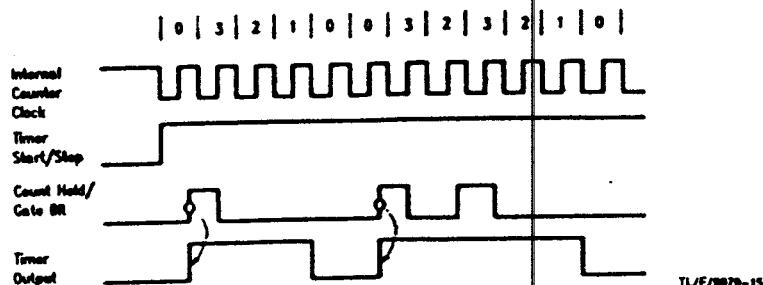


FIGURE 11. Timing Waveforms for Timer Mode 3, MFO Output Programmed Active High

READING THE TIMERS

Normally reading the timer data register addresses, 0FH and 10H for Timer 0 and 11H and 12H for Timer 1 will result in reading the input data register which contains the preset value for the timers. During timer operation it is often useful to read the contents of the 16-bit down counter. This reading may be an erroneous value of FFFFH.

To read a timer, the μP first sets the timer read bit in the appropriate Timer Control Register high. This will cause the counter's contents to be latched to 2-8 bit output registers, and will enable these registers to be read if the μP reads the timer's input data register addresses. On reading the LSB byte the timer read bit is internally reset and subsequent reads of the timer locations will return the input register values.

DETAILED REGISTER DESCRIPTION

There are 5 external address bits. Thus, the host microprocessor has access to 32 locations at one time. An internal switching scheme provides a total of 67 locations.

This complete address space is organized into two pages. Page 0 contains two blocks of control registers, timers, real time clock counters, and special purpose RAM, while page 1 contains general purpose RAM. Using two blocks enables the 9 control registers to be mapped into 5 locations. The only register that does not get switched is the Main Status Register. It contains the page select bit and the register select bit as well as status information.

A memory map is shown in Figure 2 and register addressing in Table VII. They show the name, address and page locations for the DP8571A.

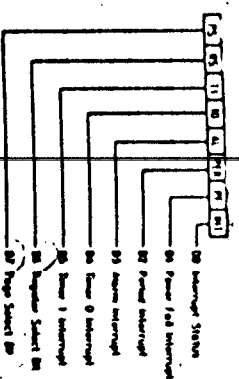
Pinout Description (Continued)

TABLE VII. Register/Counter/RAM
Addressing for DP8371A

PS (note 1)	RS (note 2)	Description
IOL REGISTERS		
X	X	Main Status Register
0	0	Timer 0 Control Register
0	0	Timer 1 Control Register
0	0	Periodic Flag Register
0	0	Interrupt Flooding Register
0	1	Read Time Mode Register
0	1	Output Mode Register
0	1	Interrupt Control Register 0
0	1	Interrupt Control Register 1
ITERS (CLOCK CALENDAR)		
0	X	1/100, 1/10 Seconds (0-99)
0	X	Seconds (0-59)
0	X	Minutes (0-59)
0	X	Hours (0-23)
0	X	Days of Month (1-31/28/29/31)
0	X	Months (1-12)
0	X	Years (0-99)
0	X	Julian Date (LSB) (0-365)
0	X	Julian Date (MSB) (0-3)
0	X	Day of Week (0-7)
DATA REGISTERS		
0	X	Timer 0 LSB
0	X	Timer 0 MSB
0	X	Timer 1 LSB
0	X	Timer 1 MSB
COMPARE RAM		
0	X	Sec Compare Rule (0-59)
0	X	Min Compare Rule (0-59)
0	X	Hours Compare (0-23, 0-23)
0	X	DOM Compare (1-31/28/29/31)
0	X	RAM
0	X	Months Compare (1-12)
0	X	RAM
0	X	DOM Compare Rule (1-7)
E-SAVE RAM		
0	X	Seconds Time Save Rule
0	X	Minutes Time Save Rule
0	X	Hours Time Save Rule
0	X	Day of Month Time Save Rule
0	X	Months Time Save Rule
0	1	RAM
0	X	RAM/Timer Mode Register
0	X	RAM
0	X	2nd Page General Purpose RAM
1	X	2nd Page General Purpose RAM

—Page Select (Bit D7 of Main Status Register)
—Register Selects (Bits D6 of Main Status Register)

MAIN STATUS REGISTER



The Main Status Register is always located at address 0 regardless of the register block or the page selected.

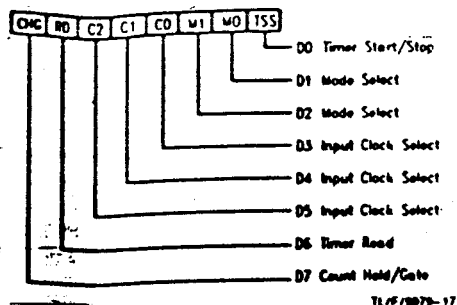
DC: This read only bit is a general interrupt status bit that is taken directly from the interrupt pins. The bit is a one when an interrupt is pending on either the INT pin or the I/O pin (when configured as an interrupt). This is unlike D3-D5 which can be set by an internal event but may not cause an interrupt. This bit is reset when the interrupt status bit in the Main Status Register are cleared.

D1-D5: These five bits of the Main Status Register are the main interrupt status bits. Any bit may be a one when any of the interrupts are pending. Once an interrupt is asserted the μP will read this register to determine the cause. These interrupt status bits are not reset when read. Except for D1, to reset an interrupt a one is written back to the corresponding bit that is being tested. D1 is reset whenever the PFL pin = logic 1. This prevents loss of interrupt status when reading the register in a polled mode. D1, D3-D5 are set regardless of whether these interrupts are masked or not by bits D6 and D7 of Interrupt Control Registers 0 and 1.

D6 and D7: These two bits of the Main Status Register control which register block of the μP is to be accessed (see memory map). The memory map of the clock is further divided into two memory pages. One page is the registers, clock and timer, and the second page contains 31 bytes of general purpose RAM. The page selection is determined by bit D7.

Functional Description (Continued)

TIMER 0 AND 1 CONTROL REGISTER



These registers control the operation of the timers. Each timer has its own register.

D0: This bit will Start (1) or Stop (0) the timer. When the timer is started, the counter will begin counting. In mode 0 on time out the TSS bit is internally reset.

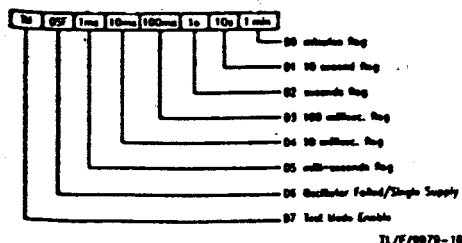
D1 and D2: These control the count mode of the timers. See Table VI.

D3-D5: These bits control which clock signal is applied to the timer's counter input. Refer to Table IV for details.

D6: This is the read bit. When this bit is read, a one indicates that an oscillator failure has occurred and the time information may have been lost. This bit is automatically set on initial power-up or an oscillator fail event. The oscillator fail flag is reset by writing a one to the clock start/stop bit in the Real Time Mode Register, with the crystal oscillating.

D7: The CHG bit has two mode dependent functions. In modes 0 through 2 writing a one to this bit will suspend the timer operation (without resetting the timer prescaler). However, in mode 3 this bit is used to trigger or re-trigger the count sequence as with the gate pins. If retriggering is desired using the CHG bit, it is not necessary to write a zero to this location prior to the re-trigger. The action of further writing a one to this bit will re-trigger the count.

PERIODIC FLAG REGISTER



The Periodic Flag Register has the same bit for bit correspondence as Interrupt Control Register 0 except for D6 and D7. For normal operation (i.e., not a single supply application) this register must be written to on initial power up or after an oscillator fail event. D0-D5 are read only bits, D6 and D7 are read/write.

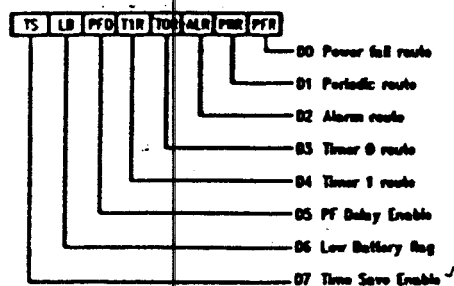
D0-D5: These bits are set by the real time rollover events: (Time Change = 1). The bits are reset when the register is read and can be used as selective data change flags.

D6: This bit performs a dual function. When this bit is read, a one indicates that an oscillator failure has occurred and the time information may have been lost. This bit is automatically set on initial power-up or an oscillator fail event. The oscillator fail flag is reset by writing a one to the clock start/stop bit in the Real Time Mode Register, with the crystal oscillating.

When D6 is written to, it defines whether the TCP is being used in battery standby (normal) or in a single supply mode application. When set to a one this bit configures the TCP for single supply mode applications. This bit is automatically set on initial power-up or an oscillator fail event. This disables the oscillator reference circuit, and requires that V_{BB} is connected to ground, and the single supply mode connected to V_{CC}. When this bit is set to zero, the oscillator reference is enabled. This allows operation in standard battery standby application.

D7: Writing a one to this bit enables the test mode register at location 1F (see Table VII). This bit should be forced to zero during initialization for normal operation. If the test mode has been entered, clear the test mode register before leaving test mode. (See separate test mode application note for further details.)

INTERRUPT ROUTING REGISTER



D0-D4: The lower 5 bits of this register are associated with the main interrupt sources created by this chip. The purpose of this register is to route the interrupts to either the MFO (multi-function pin), or to the main interrupt pin. When any bit is set the associated interrupt signal will be sent to the MFO pin, and when zero it will be sent to the INTR pin.

Functional Description (Continued)

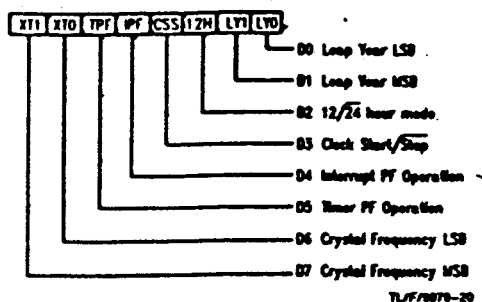
D5: The Delay Enable bit is used when a power fail occurs. If this bit is set, a 480 μ s delay is generated internally before the μ P interface is locked out. This will enable the μ P to access the registers for up to 480 μ s after it receives a power fail interrupt. After a power failure is detected but prior to the 480 μ s delay timing out, the host μ P may force immediate lock out by resetting the Delay Enable bit. Note if this bit is a 0 when power fails then after a delay of 30 μ s min/63 μ s max the μ P cannot read the chip.

D6: This read only bit is set and reset by the voltage at the V_{BB} pin. It can be used by the μ P to determine whether the battery voltage at the V_{BB} pin is getting too low. A comparator monitors the battery and when the voltage is lower than 2.1V (typical) this bit is set. The power fail interrupt must be enabled to check for a low battery voltage.

D7: Time Save Enable bit controls the loading of real-time-clock data into the Time Save RAM. When a one is written to this bit the Time Save RAM will follow the corresponding clock registers, and when a zero is written to this bit the time in the Time Save RAM is frozen. This eliminates any synchronization problems when reading the clock, thus negating the need to check for a counter rollover during a read cycle.

This bit must be set to a one prior to power failing to enable the Time Save feature. When the power fails this bit is automatically reset and the time is saved in the Time Save RAM.

REAL TIME MODE REGISTER



D0-D1: These are the leap year counter bits. These bits are written to set the number of years from the previous leap year. The leap year counter increments on December 31st and it internally enables the February 29th counter state. This method of setting the leap year allows leap year to occur whenever the user wishes to, thus providing flexibility in implementing Japanese leap year function.

LY1	LY0	Leap Year Counter
0	0	Leap Year Current Year
0	1	Leap Year Last Year
1	0	Leap Year 2 Years Ago
1	1	Leap Year 3 Years Ago

D2: The count mode for the hours counter can be set to either 24 hour mode or 12 hour mode with AM/PM indicator. A one will place the clock in 12 hour mode.

D3: This bit is the master Start/Stop bit for the clock. When a one is written to this bit the real time counter's prescaler and counter chain are enabled. When this bit is reset to zero the contents of the real time counter is stopped and the prescaler is cleared. When the TCP is initially powered up this bit will be held at a logic 0 until the oscillator starts functioning correctly after which this bit may be modified. If an oscillator fail event occurs, this bit will be reset to logic 0.

D4: This bit controls the operation of the interrupt output in standby mode. If set to a one it allows Alarm, Periodic, and Power Fail interrupts to be functional in standby mode. Timer interrupts will also be functional provided that bit D5 is also set. Note that the MFO and INTR pins are configured as open drain in standby mode.

If bit D4 is set to a zero then interrupt control register 0 and bits D6 and D7 of interrupt control register 1 will be reset when the TCP enters the standby mode. They will have to be re-configured when system (V_{CC}) power is restored.

D5: This bit controls the operation of the timers in standby mode. If set to a one the timers will continue to function when the TCP is in standby mode. The input pins TCK, G0, G1 are locked out in standby mode, and cannot be used.

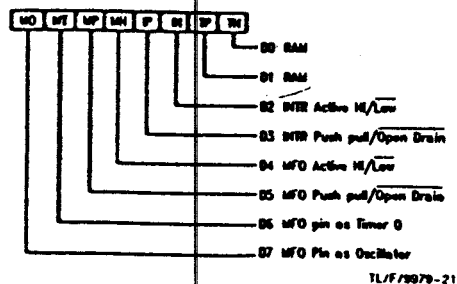
Therefore external control of the timers is not possible in standby mode. Note also that MFO and T1 pins are automatically reconfigured open drain during standby.

D6 and D7: These two bits select the crystal clock frequency as per the following table:

XT1	XT0	Crystal Frequency
0	0	32.768 kHz
0	1	4.194304 MHz
1	0	4.9152 MHz
1	1	32.000 kHz

All bits are Read/Write, and any mode written into this register can be determined by reading the register. On initial power up these bits are random.

OUTPUT MODE REGISTER



Functional Description (Continued)

D0 and D1: These bits are available as general purpose RAM.

D2: This bit, when set to a one makes the INTR output pin active high, and when set to a zero, it makes this pin active low.

D3: This bit controls whether the INTR pin is an open drain or push-pull output. A one indicates push-pull.

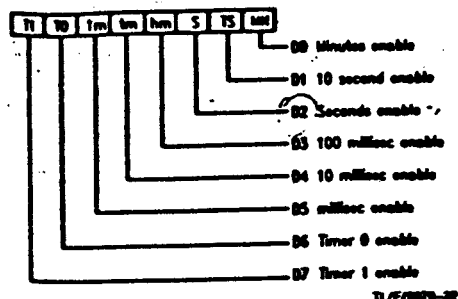
D4: This bit, when set to a one makes the MFO output pin active high, and when set to a zero, it makes this pin active low.

D5: This bit controls whether the MFO pin is an open drain or push-pull output. A one indicates push-pull.

D6 and D7: These bits are used to program the signal appearing at the MFO output, as follows:

D7	D6	MFO Output Signal
0	0	2nd Interrupt
0	1	Timer 0 Waveform
1	X	Buffered Crystal Oscillator

INTERRUPT CONTROL REGISTER 0

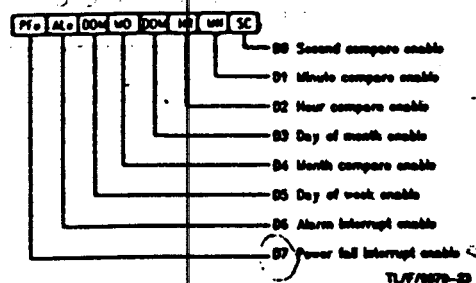


D0-D5: These bits are used to enable one of the selected periodic interrupts by writing a one into the appropriate bit. These interrupts are issued at the rollover of the clock. For example, the minutes interrupt will be issued whenever the minutes counter increments. In all likelihood the interrupt will be enabled asynchronously with the real time change. Therefore, the very first interrupt will occur in less than the periodic time chosen, but after the first interrupt all subse-

quent interrupts will be spaced correctly. These interrupts are useful when minute, second, real time reading, or task switching is required. When all six bits are written to a 0 this disables periodic interrupts from the Main Status Register and the interrupt pin.

D6 and D7: These are individual timer enable bits. A one written to these bits enable the timers to generate interrupts to the μ P.

INTERRUPT CONTROL REGISTER 1



D0-D5: Each of these bits are enable bits which will enable a comparison between an individual clock counter and its associated compare RAM. If any bit is a zero then that clock-RAM comparator is set to the "always equal" state and the associated TIME COMPARE RAM byte can be used as general purpose RAM. However, to ensure that an alarm interrupt is not generated at bit D3 of the Main Status Register, all bits must be written to a logic zero.

D6: In order to generate an external alarm compare interrupt to the μ P from bit D3 of the Main Status Register, this bit must be written to a logic 1.

D7: The MSB of this register is the enable bit for the Power Fail Interrupt. When this bit is set to a one an interrupt will be generated to the μ P when $\overline{\text{PFAL}} = 0$.

This bit also enables the low battery detection analog circuitry.

If the user wishes to mask the power fail interrupt, but utilize the analog circuitry, this bit should be enabled, and the Routing Register can be used to route the interrupt to the MFO pin. The MFO pin can then be left open or configured as the Timer 0 or buffered oscillator output.

01 MAR 1993

FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO

134

EE - 1799 TUGAS AKHIR - 6 SKS

Nomor Pokok Mahasiswa : 2902201609
Nama Mahasiswa : Gafrelly Mansur
Tugas diberikan :
Tugas diselesaikan :
Dosen Pembimbing : Ir. Yoyon K. Suprpto M.Sc.
Ir. Hanny Budhi Nugroho
JUDUL TUGAS AKHIR

PENGHITUNG PULSA TELEPON DIGITAL OTOMATIS DENGAN
MIKROKONTROLER YANG DIHUBUNGKAN PADA IBM PC

Uraian Tugas Akhir :

Penghitung jumlah pulsa telepon digital otomatis ini menggunakan detektor frekuensi dan data hasil deteksi ini disimpan di memori sistem Mikrokontroler dan sewaktu-waktu dapat ditranfer lewat serial ke komputer IBM PC untuk mendapatkan laporan biaya pemakaian pulsa telepon.

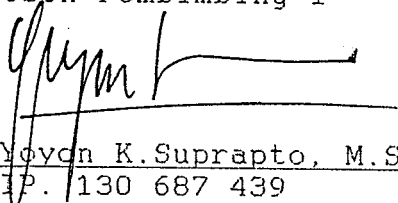
Program untuk mengendalikan dan menyimpan informasi pada mikrokontroler ini menggunakan bahasa Assembly dan laporan pengolahan data pada IBM PC menggunakan bahasa High Level.

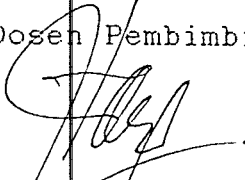
Surabaya, 1 Januari 1993

Menyetujui :

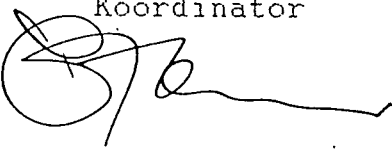
Dosen Pembimbing I

Dosen Pembimbing II


Ir. Yoyon K. Suprpto, M.Sc.
NIP. 130 687 439

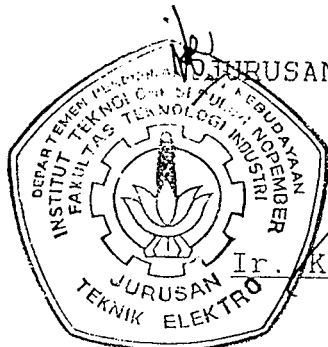

Ir. Hanny Budhi Nugroho
NIP. 131 651 433


Bidang Studi Komputer
Koordinator


Ir. S. Hardirianto ²⁸/₂ 93
NIP. 130 532 007

Mengetahui :

JURUSAN TEKNIK ELEKTRO FTI-ITS
Ket u a




Ir. Katjuk Astrowulan, MSEE
NIP. 130 687 438

- A. JUDUL : PENGHITUNG PULSA TELEPON DIGITAL OTOMATIS DENGAN MIKROKONTROLER YANG DIHUBUNGKAN PADA IBM PC.
- B. RUANG LINGKUP : - Mikroprosesor
- Telepon
- Pemrograman Komputer
- Struktur Data
- Jaringan Komputer
- C. LATAR BELAKANG : Penggunaan pesawat telepon dirumah-rumah maupun dikantor-kantor sudah dirasakan kebutuhan dan keberadaannya seperti halnya air PAM dan listrik. Dalam instalasinya, air PAM dan listrik selalu terdapat meteran yang dipasang dirumah atau dikantor, sehingga pihak pelanggan dapat memonitor berapa biaya pemakaian setiap saat. Lain halnya dengan pesawat telepon, meterannya terletak pada sentral telepon dan pihak pelanggan diberi tahu saat membayar tagihan setiap bulannya. Itupun total dari seluruh pemakain, hanya kalau ada masalah (permintaan), baru diberikan pemakain keseluruhan (detail). Untuk itu dirasa perlu menambahkan suatu alat untuk mendeteksi dan menyimpan data pemakain telepon, yaitu berupa jumlah pulsa nomor tujuan, tanggal, dan waktu dari pembicaraan. Dan sewaktu-waktu data tersebut dapat ditransfer lewat serial ke IBM PC untuk diolah mendapatkan laporan pemakain pulsa telepon. Dengan adanya alat ini pihak pelanggan dapat memonitor dan mengefisienkan pemakaian untuk satu atau lebih saluran telepon baik di kantor-kantor maupun di rumah-rumah. Saluran telepon yang dapat dideteksi harus mempunyai fasilitas *Pay Station* dari PT Telkom.
- D. TUJUAN : Untuk mengetahui pemakain jumlah pulsa telepon otomatis di rumah-rumah dan di kantor-kantor, tanpa menghidupkan komputer setiap kali menelepon.

E. PENELAAHAN STUDI : Detektor frekuensi yang digunakan untuk mendekodekan nomor yang dituju dan mendeteksi jumlah pulsa yang terpakai yang dikirim dari sentral telepon otomatis ke sistem mikrokontroler. Apabila sambungan tersebut berhasil maka mikrokontroler akan menampilkan pemakaian pulsa, merekam nomor yang dituju, waktu serta jumlah pulsa kedalam memori sistem mikrokontroler. Informasi tersebut sewaktu-waktu dapat ditransfer ke IBM PC lewat serial (RS 232), kemudian diolah untuk mendapatkan laporan berkala biaya pemakaian telepon.

F. LANGKAH KERJA : 1. Studi literatur
2. Perencanaan Hardware
3. Pengujian dan Perbaikan Hardware
4. Perencanaan Software
5. Pengujian dan Perbaikan Software
6. Pembuatan Laporan

G. JADWAL KERJA :

LANGKAH KERJA	Bulan ke					
	I	II	III	IV	V	VI
1. Studi literatur:	■					
2. Perencanaan hardware.		■				
3. Pengujian dan perbaikan hardware.			■			
4. Perencanaan software.			■	■		
5. Pengujian dan perbaikan software.			■	■	■	
6. Pembuatan laporan.					■	■

H. RELEVANSI : Penghitung pulsa telepon digital otomatis ini selalu siap selama 24 jam memonitor pemakaian telepon dengan pemakaian energi yang kecil, sehingga cocok digunakan pada kantor-kantor dan rumah-rumah yang menginginkan informasi pemakaian pulsa saat menelepon dan laporan biaya pemakain telepon secara berkala.